

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321804  
 (43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 27/04  
 H01L 21/822  
 H01P 3/08  
 H03F 3/60

(21)Application number : 10-061651

(22)Date of filing : 12.03.1998

(71)Applicant : TOSHIBA CORP

(72)Inventor : SUGIYAMA TORU  
 KURIYAMA YASUHIKO  
 FUCHIDA HIROMI  
 ONO NAKO

(30)Priority

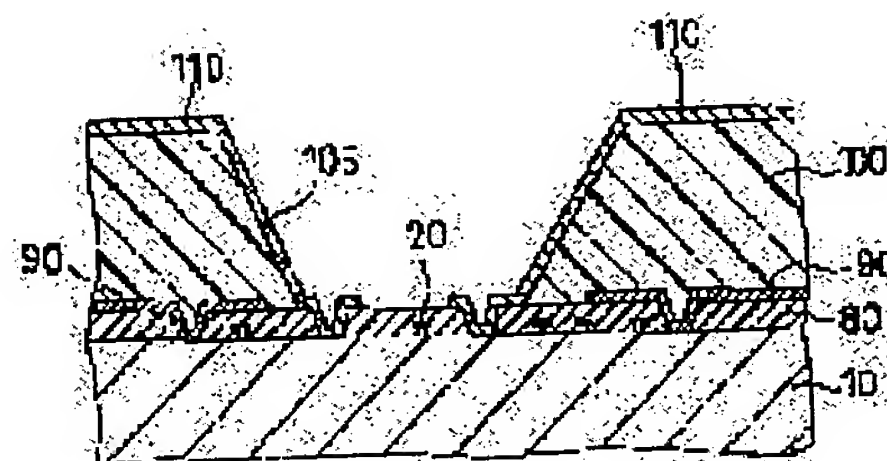
Priority number : 09 61410    Priority date : 14.03.1997    Priority country : JP

## (54) MICROWAVE INTEGRATED CIRCUIT DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To form a microwave integrated circuit element through a simple process and to reduce the chip area of the element by forming a concentrated constant circuit, etc., which requires micro fabrication on the surface of a semiconductor substrate and a distributed constant circuit which requires relatively less micro fabrication as an upper layer through a dielectric layer.

**SOLUTION:** In the structure of an MMIC chip, an insulator layer 80 having a thickness of about 1  $\mu\text{m}$  is formed so as to cover the surface of a GaAs substrate 10 on which a concentrated constant circuit, etc., and a planar GND line 90 constituting a microstrip line is formed on the surface of the layer 80. In addition, a thick dielectric layer 100 is formed so as to cover the surfaces of the GND line 90 and insulator layer 80 and a signal line 110 is formed on the surface of the layer 100. The GND line 90, dielectric layer 100, and signal, line 110 constitute the microstrip line. Therefore, in order to form the microstrip line, the other concentrated constant circuit, etc., three-dimensionally, the utilizing efficiency of the chip area is improved so that the size of the chip may be reduced.



## LEGAL STATUS

[Date of request for examination]

26.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Searching PAJ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 3 2 1 8 0 4

(43) 公開日 平成10年(1998)12月4日

(51) Int. Cl. <sup>6</sup>

識別記号

H 0 1 L 27/04  
21/822  
H 0 1 P 3/08  
H 0 3 F 3/60

F I

H 0 1 L 27/04  
H 0 1 P 3/08  
H 0 3 F 3/60  
H 0 1 L 27/04

F

P  
C

(全 1 7 頁)

審査請求 未請求 請求項の数 7

O L

(21) 出願番号 特願平10-61651

(22) 出願日 平成10年(1998)3月12日

(31) 優先権主張番号 特願平9-61410

(32) 優先日 平9(1997)3月14日

(33) 優先権主張国 日本 ( J P )

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉山 亨

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72) 発明者 栗山 保彦

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(72) 発明者 淵田 裕美

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(74) 代理人 弁理士 三好 秀和 (外3名)

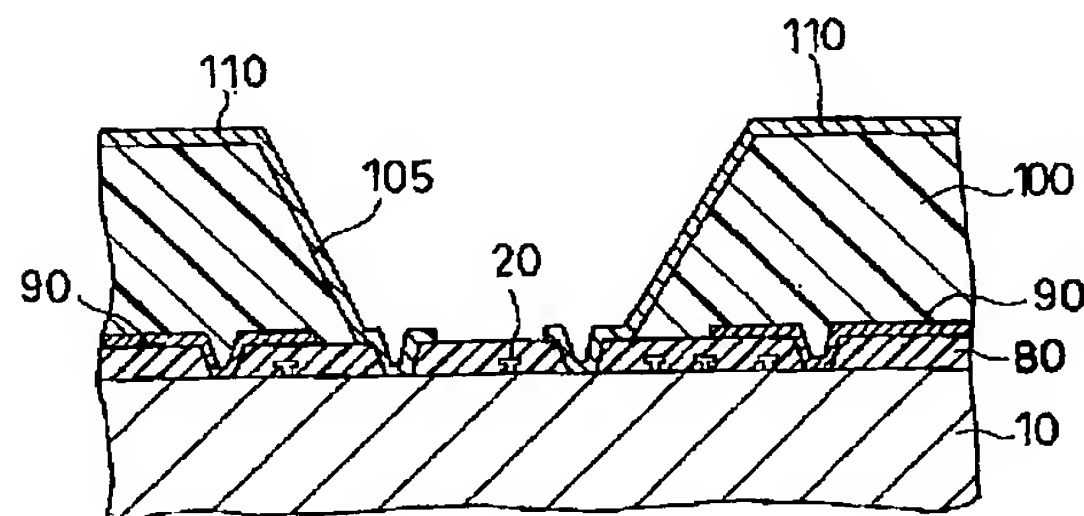
最終頁に続く

(54) 【発明の名称】 マイクロ波集積回路素子

(57) 【要約】

【課題】 超高周波帯域の波長を使用する小型のマイクロ波集積回路を提供する。

【解決手段】 半導体基板と、前記半導体基板表面に形成された第1回路と、前記第1回路上に形成された第1絶縁体層と、前記第1絶縁体層を介して、前記第1回路の少なくとも一部に重複するように形成された第2回路とを有し、前記第1回路が、集中定数回路を有し、前記第2回路が、前記第1絶縁体層上に形成された第1導電体、前記第1導電体上に形成された第2絶縁体層および前記第2絶縁体層上に形成された第2導電体とで構成される分布定数回路を有する。



## 【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板表面に形成された第 1 回路と、

前記第 1 回路上に形成された第 1 絶縁体層と、

前記第 1 絶縁体層上に形成され、前記第 1 絶縁体層を介して、前記第 1 回路の少なくとも一部に重複するように形成された第 2 回路とを有し、

前記第 1 回路が、集中定数回路を有し、

前記第 2 回路が、前記第 1 絶縁体層上に形成された第 1 導電体、前記第 1 導電体上に形成された第 2 絶縁体層および前記第 2 絶縁体層上に形成された第 2 導電体とで構成される分布定数回路を有することを特徴とするマイクロ波集積回路素子。

【請求項 2】 前記第 2 導電体が、複数本の帯状線路で構成され、前記第 2 絶縁体層が、

前記第 2 導電体と前記第 1 回路との電気的な接続をとるための 1 または複数のビアホールを有し、

前記第 2 絶縁体層に形成された単一のビアホールで、少なくとも 2 本以上の前記帯状線路と前記第 1 回路との電気的な接続が行われることを特徴とする請求項 1 に記載のマイクロ波集積回路素子。

【請求項 3】 前記第 1 回路が、一部に高速動作回路を有し、

前記第 2 回路が、

前記第 1 絶縁体層を介して、前記高速動作回路を除く前記第 1 回路と一部重複して形成されることを特徴とする請求項 1 もしくは 2 に記載のマイクロ波集積回路素子。

【請求項 4】 半導体基板と、

前記半導体基板の中央領域に形成された回路形成部と、

前記回路形成部と前記半導体基板外部との電気的接続を行うための I/O パッドとを有するマイクロ波集積回路素子において、

前記回路形成部の端部が、

前記 I/O パッドと前記回路形成部とを接続するための配線層と、

前記配線層上に形成され、前記配線層の外縁部よりやや内側に端面を有する絶縁体層とを有し、

前記 I/O パッドが、前記絶縁体層の端面領域を覆うように形成され、前記 I/O パッドの外縁部が前記配線層の外縁部と接続されていることを特徴とするマイクロ波集積回路素子。

【請求項 5】 半導体基板と、

前記半導体基板の中央領域に形成された回路形成部と、

前記回路形成部と前記半導体基板外部との電気的接続を行うための I/O パッドとを有するマイクロ波集積回路素子において、

前記回路形成部が、

前記半導体基板表面に形成された第 1 回路と、

前記第 1 回路上に形成された第 1 絶縁体層と、

前記第 1 絶縁体層上に形成され、前記第 1 絶縁体層を介

して、前記第 1 回路の少なくとも一部に重複するように形成された第 2 回路とを有し、

前記第 1 回路が、集中定数回路を有し、

前記第 2 回路が、前記第 1 絶縁体層上に形成された第 1 導電体、前記第 1 導電体上に形成された第 2 絶縁体層および前記第 2 絶縁体層上に形成された第 2 導電体とで構成される分布定数回路を有し、

前記回路形成部の端部が、

前記 I/O パッドと前記回路形成部とを接続するための配線層と、

前記配線層上に形成され、前記配線層の外縁部よりやや内側に端面を有する前記第 2 絶縁体層とを有し、

前記 I/O パッドが、前記第 2 絶縁体層の端面領域を覆うように形成され、前記 I/O パッドの外縁部が前記配線層の外縁部と接続されていることを特徴とするマイクロ波集積回路素子。

【請求項 6】 半導体基板と、

前記半導体基板の中央領域に形成された少なくとも信号線および GND 線を有する伝送線路を備えた回路形成部と、

前記回路形成部と前記半導体基板外部との電気的接続を行うための前記信号線用 I/O パッドと前記 GND 線用 I/O パッドとを有するマイクロ波集積回路素子において、

前記信号線用 I/O パッドが、

該信号線用 I/O パッド先端部に突起パターンよりなる一部領域を有することを特徴とするマイクロ波集積回路素子。

【請求項 7】 半導体基板と、

前記半導体基板の中央領域に形成された少なくとも信号線および GND 線を有する伝送線路を備えた回路形成部と、

前記回路形成部と前記半導体基板外部との電気的接続を行うための前記信号線用 I/O パッドと前記 GND 線用 I/O パッドとを有するマイクロ波集積回路素子において、

前記信号線用 I/O パッドに隣接して、

該信号線用 I/O パッド内の一部領域を特定できるガイドパターンを有することを特徴とするマイクロ波集積回路素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ミリ波、マイクロ波等の超高周波帯信号を搬送波として使用するマイクロ波集積回路素子に関する。

## 【0002】

【従来の技術】 近年、通信用周波数資源が枯渇しているため、ミリ波（30GHz 以上）のような超高周波を使用する要求が高まっている。この際、重要なことはこれらの超高周波信号処理モジュールをいかに小型化する



か、いかに製造コストを安価にできるかという点である。

【0003】多くの場合、モジュールを小型化するため、同一半導体チップ上にHEMT (High Electron Mobility Transistor) 等の能動素子やキャパシタ、抵抗等を含む集中定数回路や分布定数回路等(図示省略)を集積化したMMIC (Monolithic Microwave Integrated Circuit) チップが用いられる。

【0004】通常、小型のMMICチップでは、マイクロストリップ線路構造で分布定数回路が構成されている。マイクロストリップ線路構造とは、面状のGND線(接地導体)と面状もしくは帯状の信号線とを誘電体層を介して対向させた構造をいう。

【0005】従来は、誘電体層としてMMICチップの母体基板であるガリウム砒素(GaAs)基板そのものを用い、GaAs基板裏面にGND線を形成し、基板表面に信号線を形成する構成を採用する方法が主流であった。しかし、この構成を得るためには、通常 $650\mu\text{m}$ 程度の厚みを有するGaAs基板を $50\mu\text{m}$ 程度まで研磨する必要があり、基板の強度に問題が生じていた。また、基板裏面に形成されたGND線と基板表面に形成された回路とを電氣的に接続するためにはGaAs基板にビアホールを形成する工程が必要であるが、基板の厚みが $50\mu\text{m}$ もあるため容易な工程ではなかった。

【0006】そこで、最近ではマイクロストリップ線路をGaAs基板上に形成した薄膜で構成する構造が提案されている。この構造では、GaAs基板を研磨したり、基板にビアホールを形成する必要がないため、製造工程が上述した方法より容易となる。

【0007】図16は、この薄膜型のマイクロストリップ線路構造を有するMMICチップの一部断面図である。同図に示すように、GaAs基板510主表面上に、HEMT等の能動素子や、集中定数回路とともに、GND線520が形成されている。なお、同図面中、便宜的にHEMTについてはT型ゲート530のみを示しており、集中定数回路は図示を省略している。

【0008】GaAs基板510上には、樹脂材料による誘電体層540が形成されており、この誘電体層540の表面上に信号線550が形成されている。このGND線520、誘電体層540および信号線550でマイクロストリップ線路構造が構成されている。

【0009】

【発明が解決しようとする課題】マイクロストリップ線路の特性インピーダンスは、誘電体層の誘電率、厚みおよび線路を構成する信号線幅によって決まる。例えば、図16に示す薄膜型のマイクロストリップ線路構造において、誘電体材料としてポリイミド等の樹脂を用いた場合は、一般的に用いられる $50\Omega$ の特性インピーダンスを得るためには、誘電体層540の膜厚を $10\mu\text{m}$ 以上にしなければ、信号線の幅が狭すぎて損失が大きくなっ

てしまう。

【0010】図16に示す構造においても、基板表面上に形成された集中定数回路と誘電体層540上に形成される信号線550とを電氣的に接続するため、誘電体層540にはビアホール545を形成する必要がある。

【0011】しかし、同図にも示すように $10\mu\text{m}$ 以上の厚い誘電体層540にビアホールを形成する場合、ビアホールの径は必然的に大きくならざるを得ない。ビアホールが形成される領域には、通常分布定数回路や集中定数回路は形成されないため、その分チップ面積を広げる必要が生じる。このように、誘電体層540に形成されたビアホールの存在は、MMICチップの小型化を図ろうとする上で障害となりうる。

【0012】図17(a)は、上述するような薄膜型マイクロストリップ構造を有するMMICチップの一般的な平面上のI/Oパッドのレイアウトを示す。同図に示すように、GaAs基板510中央の主表面領域にはHEMT等の能動素子を含む集中定数回路、および上記マイクロストリップ線路で構成される分布定数回路等が形成される薄膜回路形成部となる。この領域は、丁度マイクロストリップ線路を構成する誘電体層560の形成領域と一致する。また、その外周囲には、複数のI/Oパッド600、610が形成される。

【0013】同図中外側の破線で囲む領域540Rは、GaAs基板上に形成された面状のGND線の形成領域を示す。I/Oパッド600はGND線に電氣的に接続されており、I/Oパッド610は信号線に電氣的に接続されている。同図中内側に示す破線で囲む領域560Rは、マイクロストリップ線路を構成する誘電体層560の形成領域を示す。

【0014】図17(b)は、図17(a)に示す破断線A-A'における断面を示す。図17(c)は、図17(b)に示すチップ端縁部の等価回路である。

【0015】図17(b)に示すように、MMICチップの端部には、例えば図17(c)に示すように、分布定数LINE、抵抗R、キャパシタCとが直列に接続され、キャパシタCの一方の電極が接地される回路が、薄膜パターンで形成されている。

【0016】薄膜回路形成部内の最も外側に配置されるキャパシタCの下部電極の延長部は、I/Oパッドの下層電極となっている。I/Oパッドの下層電極上には上層電極が積層されており、上層電極の表面は、ワイヤボンディングを行うため露出されている。

【0017】チップとそのチップが実装されるパッケージとの電氣的な接続は、通常ワイヤボンディング法を用いて行われる。この場合、I/Oパッドはボンディングパッドとなる。これらのI/Oパッドが、チップ上の最も外側の枠状領域に配置されるのは、ワイヤボンディングの作業性が考慮されるからである。また、各パッドは、ボンディングワイヤ径に対し十分大きな面積を得る

ため、一般的に約 $50\mu\text{m}\sim 70\mu\text{m}$ 程度の広さを必要とする。MMICチップ上でのI/Oパッドの占有面積はトランジスタ等の部品と比較しかなり大きいものであり、チップの小型化を図る上で、問題となりうる。

【0018】上述する課題に鑑み、本発明の第1の目的は、チップサイズの小型化に寄与しうる薄膜回路形成部と、該回路形成部周囲の新たな構造を有するマイクロ波集積回路素子を提供することである。

【0019】I/Oパッドと関係し、MMICモジュールを実用化する上では、次のような別の問題も発生する。

【0020】通常、チップをパッケージに固定し、ボンディングワイヤで電氣的接続を行う前に、各MMICチップの特性をチェックするために、ネットワークアナライザを用いた周波数特性の測定が行われる。

【0021】図18(a)は、この測定の様子を示す平面図である。同図に示すように、測定に際しては、ネットワークアナライザに接続されたプローブヘッド600をチップ上に設けられた測定用のI/Oパッドに直接接触させる必要がある。通常、プローブヘッドとしては信号線Sの両脇にグランドGがある3端子のタイプを使用し、まず、各端子を各々のパッドの端部にあて、さらに中心部にすべらせるように移動させ、そこで測定を行う。使用するプローブヘッドとしては、測定時の寄生成分を少なく抑えるため、3端子先端のピッチが比較的小さいサイズのものが選択される。特に、MMICのように、高周波信号が使用されるものに対する測定では、よりピッチを狭くする必要がある。

【0022】しかし、上述するように測定用パッドの面積は、 $50\mu\text{m}\sim 70\mu\text{m}$ の大きさが必要であり、プローブヘッドのピッチに比較しその面積は大きい。プローブヘッドに対する測定用パッドの面積が大きいと、プローブを当てる位置を特定しにくいため測定毎にプローブヘッドの測定位置がばらつきやすくなる。測定位置のばらつきは測定結果のばらつきに反映される。特に、測定周波数がMMICの使用周波数のように数十GHz以上の高周波帯域になると、わずかな測定位置のずれが測定結果に大きく反映し、測定値の再現性が顕著に悪化する。

【0023】自動的に接触点の位置決めを行う場合は、そのばらつきはある程度くい止められるが、開発段階はもとより、生産段階においても手動での測定を必要とするケースは少なくない。手動での測定では、上述のような測定毎の接触点の位置ずれは大きな問題となる。

【0024】図19は、従来のI/Oパッドパターンを有するMMICの高周波特性を上述の方法で測定した結果の一例を示す。 $70\mu\text{m}$ の測定用I/Oパッドの2カ所をプローブヘッドの接触位置とし、各接触位置に基づく異なる測定位置での通過特性(M1, M2)と位相特性(M1', M2')を示した。周波数が60GHz

のとき位相ずれが約15度あり、通過特性のバラツキは、最大、絶対量の3倍以上にも及ぶことがわかる。このような測定結果の差は、MMICの特性評価における信頼性の低下にも関わってくる。

【0025】上述する課題に鑑み、本発明の第2の目的は、上述の問題を考慮してなされたもので、信頼性の高い半導体装置を提供することである。

【0026】

【課題を解決するための手段】本発明のマイクロ波集積回路素子の第1の特徴は、半導体基板と、前記半導体基板表面に形成された第1回路と、前記第1回路上に形成された第1絶縁体層と、前記第1絶縁体層上に形成され、前記第1絶縁体層を介して、前記第1回路の少なくとも一部に重複するように形成された第2回路とを有し、前記第1回路が、集中定数回路を有し、前記第2回路が、前記第1絶縁体層上に形成された第1導電体、前記第1導電体上に形成された第2絶縁体層および前記第2絶縁体層上に形成された第2導電体とで構成される分布定数回路を有することである。

【0027】上記第1の特徴によれば、分布定数回路と他の集中定数回路等を三次元的に形成できるため、チップ面積の縮小化を図ることができる。また、微細加工が必要となる集中定数回路を含む第1回路を半導体基板表面に形成し、第1回路と比較し微細加工の必要性が少ない第2回路を前記絶縁体層上に形成しているため、プロセス上の負担が少ない。さらに第1絶縁体層と第2絶縁体層とを樹脂材料で構成すれば、より簡易なプロセスで形成することができる。

【0028】本発明のマイクロ波集積回路素子の第2の特徴は、前記第2導電体が、複数本の帯状線路で構成され、前記第2絶縁体層が、前記第2導電体と前記第1回路との電氣的な接続をとるために1または複数のビアホールを有し、前記第2絶縁体層に形成された単一のビアホールで、少なくとも2本以上の前記帯状線路と前記第1回路との電氣的な接続が行われることである。

【0029】上記第2の特徴によれば、単一のビアホールで複数の信号線の電氣的接続を行うため、必要なビアホールの総数を大幅に減らすことができる。よって、チップ面積を縮小化することが可能となる。

【0030】本発明のマイクロ波集積回路素子の第3の特徴は、前記第1回路が、一部に高速動作回路を有し、前記第2回路が、前記第1絶縁体層を介して前記高速動作回路を除く前記第1回路と一部重複して形成されることである。

【0031】このように上記第3の特徴によれば、高速動作回路上では、第2回路を構成する第1導電体が存在しないため、寄生容量が形成されない。よって、高速動作回路の特性を良好に維持したまま、チップ面積の縮小化が可能である。

【0032】本発明のマイクロ波集積回路素子の第4の



特徴は、半導体基板と、前記半導体基板の表面中央領域に形成された回路形成部と、前記回路と前記半導体基板外部との電氣的接続を行うためのI/Oパッドとを有するマイクロ波集積回路素子において、前記回路形成部の端部が、前記I/Oパッドと前記回路形成部とを接続するための配線層と、前記配線層上に形成され、前記配線層の外縁部よりやや内側に端面を有する絶縁体層とを有し、前記I/Oパッドが、前記絶縁体層の端面領域を覆うように形成され、前記I/Oパッドの外縁部が前記配線層の外縁部と接続されていることである。

【0033】上記第4の特徴によれば、従来、回路形成部の外側に形成されていたI/Oパッドを回路形成部の端部に重複して形成しているため、チップ面積を大幅に縮小化することが可能となる。

【0034】さらに、前記回路形成部が、前記半導体基板上に形成された集中定数回路と、前記半導体基板上に形成された第1導電体、前記第1導電体上に形成された絶縁体層、および前記絶縁体層上に形成された第2導電体とから構成される分布定数回路とを有する場合であっても上記発明は適用可能である。

【0035】本発明のマイクロ波集積回路の第5の特徴は、半導体基板と、前記半導体基板の中央領域に形成された回路形成部と、前記回路形成部と前記半導体基板外部との電氣的接続を行うためのI/Oパッドとを有するマイクロ波集積回路素子において、前記回路形成部が、前記半導体基板表面に形成された第1回路と、前記第1回路上に形成された第1絶縁体層と、前記第1絶縁体層上に形成され、前記第1絶縁体層を介して、前記第1回路の少なくとも一部に重複するように形成された第2回路とを有し、前記第1回路が、集中定数回路を有し、前記第2回路が、前記第1絶縁体層上に形成された第1導電体、前記第1導電体上に形成された第2絶縁体層および前記第2絶縁体層上に形成された第2導電体とで構成される分布定数回路を有し、前記回路形成部の端部が、前記I/Oパッドと前記回路形成部とを接続するための配線層と、前記配線層上に形成され、前記配線層の外縁部よりやや内側に端面を有する前記第2絶縁体層とを有し、前記I/Oパッドが、前記第2絶縁体層の端面領域を覆うように形成され、前記I/Oパッドの外縁部が前記配線層の外縁部と接続されていることである。

【0036】上記第5の特徴によれば、分布定数回路と他の集中定数回路等を三次元的に形成できるとともに、従来回路形成部の外側に形成されていたI/Oパッドを回路形成部の端部に重複して形成しているため、チップ面積をより大幅に縮小化することが可能となる。

【0037】本発明のマイクロ波集積回路素子の第6の特徴は、半導体基板と、前記半導体基板の中央領域に形成された少なくとも信号線およびGND線を有する伝送線路を備えた回路形成部と、前記回路形成部と前記半導体基板外部との電氣的接続を行うための前記信号線用I

/Oパッドと前記GND線用I/Oパッドとを有するマイクロ波集積回路素子において、前記信号線用I/Oパッドが、該信号線用I/Oパッド先端部に突起パターンよりなる一部領域を有することを特徴とする。

【0038】本発明のマイクロ波集積回路素子の第7の特徴は、半導体基板と、前記半導体基板の中央領域に形成された少なくとも信号線およびGND線を有する伝送線路を備えた回路形成部と、前記回路形成部と前記半導体基板外部との電氣的接続を行うための前記信号線用I/Oパッドと前記GND線用I/Oパッドとを有するマイクロ波集積回路素子において、前記信号線用I/Oパッドに隣接して、該信号線用I/Oパッド内の一部領域を特定できるガイドパターンを有することである。

【0039】上記第6または第7の特徴によれば、当該素子の周波数特性測定を行う際、測定装置の有するプローブ端子を接触させる領域を上記一部領域とすれば、この領域を、肉眼もしくはパターン認識等で容易に特定できる。よって、測定ごとの測定位置のばらつきを抑制し、再現性の良好な精度の高い測定を行うことが可能となる。

【0040】なお、上記第6または第7の特徴を有するマイクロ波集積回路において、前記一部領域は、プローブ端子を有する周波数特性測定装置を用いて前記マイクロ波集積回路素子の特性を測定する際の前記プローブ端子の接触領域であり、前記プローブ端子の幅の2/5以上、かつ前記プローブ端子の幅以下の長さを一辺とする正四辺形に相当する面積を有することが好ましい。あるいは、前記一部領域が、30 $\mu$ m以上50 $\mu$ m以下の長さを一辺とする正四辺形に相当する面積を有することが好ましい。

【0041】

【発明の実施の形態】

(第1の実施の形態) 本発明の第1の実施の形態について、図1～図3(b)を参照して説明する。

【0042】図1は、第1の実施の形態におけるMMICチップの構造を示すチップの断面図である。

【0043】従来の薄膜型マイクロストリップ線路構造を有するMMICチップの場合と同様に、母体基板であるGaAs基板10表面上には、T型ゲート20で代表的に示しているように、HEMT等の能動素子とともに、集中定数回路に必要な部品を含む薄膜回路が形成されている。

【0044】しかし、第1の実施の形態におけるMMICチップの構造においては、これらの集中定数回路等が形成されたGaAs基板表面を覆うように、約1 $\mu$ m程度の厚みの絶縁体層80が形成され、この絶縁体層80の表面上にマイクロストリップ線路を構成する面状のGND線90が形成されている。さらに、このGND線90および絶縁体層80表面を覆うように、厚い誘電体層100が形成されており、その誘電体層100の表面に

信号線110が形成されている。このGND線90、誘電体層100および信号線110が、マイクロストリップ線路を構成している。

【0045】即ち、第1の実施の形態におけるMMICチップの主な特徴は、マイクロストリップ線路が、集中定数回路等とは異なる面上に独立して形成されていることである。このように、マイクロストリップ線路と他の集中定数回路等を三次元的に形成するため、チップ面積の使用効率を飛躍的に上げることができ、チップ面積の縮小化を図ることが可能である。

【0046】図1に示すように、本実施の形態のMMICチップの場合も、マイクロストリップ線路を構成する信号線110と基板表面上に形成する集中定数回路との電気的な接続を行うために、誘電体層100にビアホール105が開けられている。誘電体層の厚みは10 $\mu$ m以上必要なため、ビアホール105の径は大きい。しかし、マイクロストリップ線路と集中定数回路を三次元的に独立に形成しているため、ビアホール105が存在しても、チップ面積を縮小化する効果は十分に有効である。

【0047】以下、図2(a)～図3(b)を参照して、第1の実施の形態におけるMMICチップの製造方法について説明する。

【0048】まず、図2(a)に示すように、GaAs基板10上に従来のHEMTプロセスを用いて、HEMTを形成する。また、回路部品に必要な電極40等を同時に形成しておく。なお、同図中、便宜的にHEMTについてはソース電極30a、ドレイン電極30bおよびT型ゲート20のみを示し、他の構成を省略している。

【0049】次に、CVD法等を用いて、パッシベーション膜として、厚さ約80nmのシリコン窒化膜(SiN)膜50を基板成長表面上に形成する。その後、電極等の取り出しに必要な箇所の開口部を形成するため、通常のリソグラフィ工程を用いてシリコン窒化膜50をパターニングする。基板上に、スパッタ法等を用いてCr膜を形成し、パターニングを行い薄膜抵抗60を形成する。

【0050】図2(b)に示すように、スパッタ法等を用いて、チタン/金(Ti/Au)等の積層導電体を形成し、パターニングを行い配線70を形成する。先の工程で形成したシリコン窒化膜50の一部は、電極40を下部電極とし、配線70を上部電極とするMIMキャパシタの容量部分となる。その他、必要な集中定数回路等を構成する部品を基板表面上に形成する。

【0051】図2(c)に示すように、基板成長面上に厚さ約1 $\mu$ mのベンゾシクロブテン(BCB)等の樹脂をスピコートし、250 $^{\circ}$ Cの温度で硬化させ、絶縁層80を形成する。

【0052】次に、図3(a)～図3(c)を用いて、後続する工程を説明する。なお、便宜上、図2(a)～

図2(c)と図面のスケールを変えている。

【0053】図3(a)に示すように、リアクティブイオンエッチング(RIE)法を用いて、必要に応じ絶縁層80にビアホール85を形成する。

【0054】図3(b)に示すように、絶縁層80上にスパッタリング法等を用いて、チタン、プラチナ、金(Ti/Pt/Au)等からなるの積層導電体を形成し、必要に応じてパターニングし、マイクロストリップ線路を構成するGND線90を形成する。

10 【0055】図3(c)に示すように、基板成長表面全面に厚さ約10 $\mu$ mの感光性ベンゾシクロブテン(BCB)をスピコートし、誘電体層100を形成する。感光性BCBを用いた場合は、通常のリソグラフィ工程を必要とせず、直接、感光性BCBにマスク露光を行い、この後現像工程を経ることでビアホール105を形成する。

20 【0056】この後、誘電体層100上にメッキ等の方法により、Auからなる信号線110を形成し、パターニングすれば、図1に示した第1の実施の形態におけるMMICチップ構造を完成することができる。

30 【0057】上述した製造方法においては、絶縁層80および誘電体層100として、BCB樹脂を用いている。薄膜型マイクロストリップ線路構造においては、誘電体層をSiO<sub>2</sub>等の無機膜で形成する方法も採用できるが、これらの無機膜は、膜厚が1 $\mu$ m以上となるとストレスによるクラックが発生しやすい等の問題が生じる。しかし、上述するBCBやポリイミド等の樹脂材料で誘電体層100を形成する場合は、クラック等の発生が少ない上、スピコート法を用いることで、10 $\mu$ m程度の厚い膜を簡易な工程で形成できる。

【0058】さらに、BCBを用いた場合は、その硬化温度が250 $^{\circ}$ C程度と低いため、GaAs基板上に形成されている電子デバイス等に温度による特性劣化をもたらす心配も極めて少ない。また、上述するように、感光性のBCBを用いた場合は、通常のエッチング工程を必要としないでビアホールの形成が可能であり、工程をより簡略化することができる。

40 【0059】又、第1の実施の形態におけるMMICチップでは、微細加工が要求されるHEMTやその他の集中定数回路を平坦な半導体基板表面上に形成し、集中定数回路等に比較し微細加工が特に必要とされないマイクロストリップ線路を絶縁層80上に形成しているため、プロセス上の負担も少なく、各回路の特性も保持できる。

【0060】このように、第1の実施の形態によれば、比較的簡易な工程で、チップ面積を大幅に縮小化できるMMICチップを提供できる。

50 【0061】なお、GND線90と信号線110を入れ替えた逆マイクロストリップ線路構造としても同様の効果が期待できる。



【0062】（第2の実施の形態）本発明の第2の実施の形態について、図4（a）、図4（b）を参照して説明する。

【0063】図4（a）、図4（b）は、本発明の第2の実施の形態におけるMMICチップの構造を示す断面図である。基本的なMMICチップの構造は、図1に示した第1の実施の形態におけるMMICのチップの構造と共通する。

【0064】図4（a）に示すMMICチップの特徴は、GND線90上に厚み約80nmのシリコン窒化（SiN）膜120を形成し、その上に感光性BCB膜からなる誘電体層100を形成していることである。

【0065】一般に樹脂材料とメタルとの密着性は良くないが、シリコン窒化膜120が、GND線90と感光性BCB膜からなる誘電体層100との密着性を改善する。また、感光性BCB膜のかわりに、通常のBCB膜を用いて誘電体層100を形成した場合には、ビアホールを形成するためのエッチング工程が必要となるが、この際、シリコン窒化膜120がエッチングストップの役割を果たす。

【0066】また、絶縁層80とGND線90との間にシリコン窒化膜を形成すれば、GND線90と絶縁層80との密着性をも向上させることができる。

【0067】図4（b）に示すMMICチップでは、さらに誘電体層100上に厚み約80nmのシリコン窒化膜130を形成し、その上に信号線110を形成している。シリコン窒化膜130は、信号線110と感光性BCB膜からなる誘電体層100との密着性を高めるとともに、エッチング液に対する耐薬品性が高いため、信号線110を形成するために行うAuのメッキ工程において、基板全面に形成された給電用メタルをメッキ後、エッチングで除去する際に誘電体層100を保護する効果をも有する。特に、耐薬品性が問題となるビアホール側壁面において、シリコン窒化膜130による保護効果が大きい。

【0068】（第3の実施の形態）本発明の第3の実施の形態について、図5を参照して説明する。

【0069】図5は、本発明の第3の実施の形態におけるMMICチップ上のマイクロストリップ線路のレイアウト例を示すチップ破断部の斜視図である。チップの断面構造は、図1に示した第1の実施の形態におけるMMICチップの断面構造と共通する。

【0070】同図に示すように、誘電体層100及び絶縁層80には、マイクロストリップ線路を構成する信号線とGaAs基板表面に形成された集中定数回路等との電気的な接続を得るため、必要に応じいくつかのビアホールが形成されている。通常は、一つのビアホールで一本の信号線の電気的な接続が行われるが、第3の実施の形態におけるMMICチップにおいては、誘電体層100に形成されたひとつのビアホールで複数本の信号線

の電気的接続を行なっている。

【0071】図5に示すように、例えば図中奥に示すひとつのビアホール105bにおいて、4本の信号線110d～110gと集中定数回路との電気的な接続がなされている。

【0072】既に述べたように、誘電体層100の膜厚が10μm以上であり、絶縁層80に比較しかなり厚いため、形成されるビアホールの径は、絶縁層80に形成するビアホールに比較し必然的に大きくなる。ビアホールの径が大きいことは、チップ上におけるビアホールの占有面積が高いため、チップの小型化を図る上では不利な条件となるが、一方で、図5に示すように、絶縁層80に形成するビアホールを介して行う複数の信号線の電気的接続を、誘電体層100に形成されたひとつのビアホール内で行う面積的余裕が存在する。

【0073】よって、図5に示すように、単一のビアホールで複数の信号線の電気的接続を行えば、必要なビアホールの総数を大幅に減らすことができ、チップ面積を縮小化することが可能となる。

【0074】なお、単一のビアホールで電気的接続を行う信号線の数、特に限定されない。

【0075】（第4の実施の形態）本発明の第4の実施の形態について、図6を参照して説明する。

【0076】図6は、本発明の第4の実施の形態におけるMMICチップ上のマイクロストリップ線路のレイアウト例を示すチップ破断部の斜視図である。

【0077】チップ断面における構造は、図1に示す第1の実施の形態におけるMMICチップの断面構造と共通する。第4の実施の形態の特徴は、マイクロストリップ線路を構成するGND線を、高速動作が必要な集中定数回路上には形成しないようにしていることである。なお、ここでは10GHz以上の周波数信号を用いた動作を「高速動作」と呼ぶ。

【0078】例えば、図6中細かいドットでその存在を示すように、マイクロストリップ線路を構成するGND線90は絶縁層80表面上にほぼ面状に形成されるが、高速動作を行う集中定数回路形成領域140上には形成せず、開口部としている。また、信号線110h～110jも、高速動作を行う集中定数回路140上には形成されていない。

【0079】また、ビアホール105が形成される領域には、必然的にGND線90は形成されていないが、このビアホール開孔部中央のGaAs基板表面上にT型ゲート20で示すように高速動作が必要なHEMTを形成している。

【0080】第1の実施の形態に示すように、三次元的に薄膜回路を形成する場合、集中定数回路等上に絶縁層80を介してマイクロストリップ線路が形成されるが、高速動作が必要なHEMT等を含む集中定数回路上にGND線が存在すると、寄生容量が発生し、これが回

路中のHEMT等の集中定数回路の高速動作を妨げる場合がある。

【0081】よって、図6に示すMMICチップのように、10GHz以上の周波数での動作が必要な高速動作回路が形成された領域上にはGND線を形成しない構成を採用すれば、各素子本来の高速動作が妨げられる心配がない。

【0082】また、寄生容量による特性劣化が問題とならないその他の電源回路等の高速動作を必要としない回路上にはGND線を形成することが可能であるため、三次元的な薄膜回路形成によるチップ面積縮小効果が維持できる。

【0083】このように、第4の実施の形態におけるMMICチップによれば、高速動作特性を良好に維持したまま、チップ面積の縮小化が可能である。

【0084】(第5の実施の形態) 本発明の第5の実施の形態について、図7(a)～図8を参照して説明する。

【0085】第5の実施の形態におけるMMICチップは、主に回路形成領域の周囲に設けられるI/Oパッドの構成に特徴を有するものである。

【0086】図7(a)は、第5の実施の形態における薄膜型マイクロストリップ構造を有するMMICチップの端縁部での平面上レイアウトを示す。

【0087】図7(a)に示すように、第5の実施の形態のMMICチップにおいても、内側の破線で囲まれた誘電体層形成領域260R内に集中定数回路や、マイクロストリップ線路構造による分布定数回路が形成されている。外側の破線はGND線形成領域240Rに相当する。

【0088】従来は、誘電体層形成領域260Rの外側の枠状領域に複数のI/Oパッドを配置していたが、第5の実施の形態においては、一部のI/Oパッド300c、300d、310bを、誘電体層形成領域260Rに重複して形成している。なお、I/Oパッド300a～300dはGND線に、I/Oパッド310a、310bは信号線にそれぞれ電氣的に接続されているものである。

【0089】図7(b)は、図7(a)に示す破断線A-A'における断面を示す。I/Oパッド310は、従来のようにGaAs基板上に平面的に形成されているのではなく、誘電体層260の端部の傾斜面を覆うように形成されている点に特徴がある。I/Oパッド310の外縁部は、薄膜キャパシタを構成する下部電極220の延長部の外縁に接続されているため、丁度、従来のI/Oパッドを、誘電体層端部でチップの内側に折り返したような構造となっている。

【0090】図7(b)に示すチップ端部の構造は、I/Oパッド310を除いては、従来のMMICチップの場合と等しい。MMICチップの端部では、例えば図7

(c)に示すような、分布定数LINE、抵抗R、キャパシタCとが直列に接続され、キャパシタCの一方の電極が接地されている回路が、薄膜で形成されている。

【0091】即ち、GaAs基板210上には平行平板型薄膜キャパシタの下部電極220が形成されており、その下部電極220の延長部分がI/Oパッドの電極と接続されている。下部電極220を含むGaAs基板表面上には、薄膜キャパシタの容量部を構成する絶縁層230が形成されている。基板中央部には、絶縁層230上にGND線240、誘電体層260および信号線280とで構成されるマイクロストリップ線路が形成されている。信号線280の端部は、誘電体層260に形成されたビアホール265を介して薄膜抵抗250の端部電極に接続されており、薄膜抵抗250の他方の端部は薄膜キャパシタの上部電極240に接続されている。

【0092】図8は、逆マイクロストリップ構造を有するMMICチップの例を示した断面図である。逆マイクロストリップ構造とは、図7(b)に示すマイクロストリップ構造における信号線とGND線とが、上下逆に配置された構造をいう。よって、図8に示すMMICチップでは、GaAs基板210上に形成された絶縁層230上に信号線280が形成され、その上の厚い誘電体層260上にGND線240が形成されている。

【0093】この場合においても、I/Oパッド300は、図7(b)に示すマイクロストリップ構造のMMICチップの場合と同様に、誘電体層260の傾斜端面を覆うように形成されている。

【0094】なお、第1～第4の実施の形態におけるMMICチップにおいても、逆マイクロストリップ構造を採用することができる。

【0095】チップの面積に対するI/Oパッドの面積はかなり大きいので、I/Oパッドを薄膜回路形成部上に重複して形成すれば、チップ面積を大幅に縮小化することが可能となる。I/Oパッドの一部のみならず、全てを薄膜回路形成部上に重複して形成すれば、よりチップ面積を縮小化できる。このような方法により、MMICチップ面積を従来のチップ面積の約70%にすることも可能である。

【0096】なお、図7(a)～図8には、従来型の薄膜型マイクロストリップ構造を有するMMICチップの例を示しているが、既に述べた第1～第4の実施の形態に示す三次元回路構造を有するMMICチップに対しても同様なI/Oパッドの構成を採用することができる。この場合は、三次元回路構造によるチップ面積の縮小効果と相まって相乗的なチップ面積の縮小化が望める。

【0097】図9は、上述した第1～第5の実施の形態におけるMMICチップ上に形成される薄膜回路の一例を示す等価回路である。同図中に示された二つのトランジスタはHEMTを示す。この回路は、HEMTを2個直列に接続して2段バッファアンプを構成する一般的な

ものである。

【0098】同図中LINE1～LINE5は、特性インピーダンスを $50\Omega$ に整合させたマイクロストリップ線路で設計される信号線、LINE6～LINE10は、特性インピーダンスを $75\Omega$ に整合させたマイクロストリップ線路で設計されるバイアスラインである。Cc1～Cc3、C0～C8はキャパシタ、R1～R4は抵抗である。この回路では、Vg1、Vg2によりゲート電圧を、Vd1、Vd2によりドレイン電圧を与え、高周波信号(RF)は同図中INから入力され、途中増幅されOUTで出力される。同回路中破線で囲んだ領域は、図7(c)に示したチップ端部の回路に相当する。

【0099】(第6の実施の形態)本発明の第6の実施の形態について、図10(a)～図11(b)を参照して説明する。第6の実施の形態におけるMMICチップは、主に回路形成領域の周囲に設けられるI/Oパッドのパターンに特徴を有するものである。

【0100】図10(a)は、第6の実施の形態にかかるMMICチップの高周波特性の測定部であるI/Oパッドの一部を示した平面図である。また、図10(b)は、図10(a)中の切断線B-B'における断面図である。図10(b)に示すように、ここでは、伝送線路として、薄膜型のマイクロストリップ線路を有するMMICチップを例に挙げた。GaAs基板410上にGND線420が形成され、さらにGND線420上に形成された誘電体層450を介して信号線430が形成されている。

【0101】図10(a)に示すように、GaAs基板410の表面端部には、信号線用パッド430aと、その両脇にGND線用パッド420a、420bが形成されている。これらのパッドはそれぞれマイクロストリップ線路を構成する信号線430とGND線420から引きだされた測定用パッドである。図中左側がMMIC回路形成部に相当する。各パッドの幅は従来と同様に約 $50\mu\text{m}$ ～ $70\mu\text{m}$ である。

【0102】特徴的なことは、信号線用パッド430aの先端部中央に、突起部を設け、ここをプローブヘッド接触領域440aとしていることである。図面上では、プローブヘッド接触領域440aに斑点を付しているが、信号線パッド430aと同様な電極材料で形成すればよい。なお、信号線用パッド430a上のワイヤボンディングの位置は破線サークルで示す位置である。

【0103】このように、信号線用パッドパターンに突起部を設け、この突起部をプローブを最初に当てるプローブ接触領域440aとすることで、MMICチップの特性測定の際、ネットワークアナライザのプローブヘッドの接触位置を特定できる。

【0104】突起部の存在は、パターン認識装置による位置の特定が容易であるとともに、肉眼によってもその位置の特定が容易に行える。

【0105】なお、信号線用パッド上のプローブヘッドを当てる位置が定まれば、GND線用のプローブヘッド位置は固定されているため、これに伴い特定できる。よって、測定毎の測定位置ずれは回避することが可能となり、高周波測定における測定精度の確保ならびに測定の再現性の向上が期待できる。

【0106】ここで、突起部であるプローブヘッド接触領域440aの幅は、プローブヘッドの接触位置を特定するために、パッド幅より十分狭いことが望ましい。一方、プローブヘッドとパッドとの十分な接触を確保するためには、例えば、プローブヘッドの各端子幅の少なくとも $2/5$ 以上の幅を有することが望ましい。また、プローブヘッドの端子幅を越えて大きくする必要はない。言い換えればこの幅を一辺とする正四辺形に相当する面積を有すればよい。よって、例えば $50\mu\text{m}$ 幅の端子を有するプローブヘッドを使用する場合、突起部の面積は、 $30\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の大きさとすることが望ましい。

【0107】また、本実施の形態のように信号線用とグランド配線用とでパッドの形状を変えておくと、ボンディングの際の位置決めが容易になると同時に(ボンディング位置を間違える等の)ボンディングミスも減らすことになるため実装時の歩留まり向上にも有利である。

【0108】図11(a)は、図10(a)と同じ形状の信号線用パッドをチップ端部の膜構造が異なるMMICチップに適用した例である。図10(a)に示したMMICチップでは、信号線用パッド430aとGND線用パッド420a、420bがGaAs基板410上に直接形成されているのに対して、図11(a)に示すMMICチップでは、誘電体層450が、破線450R内側の各パッド部形成領域を含めて形成されており、信号線用パッド430a、GND線用パッド420a、420bは、この誘電体層450上に存在する。

【0109】なお、ボンディングパッドを誘電体層450(例えばBCBやポリイミド)上に形成すると、GaAs基板410上に直接形成する場合に比べて、誘電体層450とメタルとの密着強度が弱い欠点がある。しかしながら、製造技術の向上によりワイヤボンディングをしてもはがれない程度の強度が得られる場合には、GND線用のパッド下に、例えばキャパシタや薄膜抵抗を形成する等により面積の有効利用が可能であり、チップの小型化や低コスト化にもつながる。

【0110】また、図11(b)は、図7(b)に示した本願の第5の実施の形態にかかるMMICチップにおいて、上述する信号線用パッドを応用した例を示す。従来のI/Oパッドを、誘電体層450端部でチップの内側に折り返したような構造のパッドにすれば、プローブヘッドがあたる部分は、GaAs基板410上に直接電極膜が形成されているためパッドの密着強度を高く維持できるとともに、GND線用パッド下の面積の有効利用



も可能となる。

【0111】このようにパッド周辺の膜構造が微妙に異なる場合にも、信号線用パッドの先端部に突起部を備えることで、測定時のプローブ位置を特性し、再現性の良い測定を確保できる。

【0112】また、後述するように、MMICチップ上に形成される伝送線路は、薄膜マイクロストリップ線路の他、逆マイクロストリップ線路およびコプレーナ線路を有するものでもよい。

【0113】（第7の実施の形態）本発明の第7の実施の形態について、図12（a）、図12（b）を参照して説明する。第7の実施の形態におけるMMICチップも、第6の実施の形態同様、主に回路形成領域の周囲に設けられるI/Oパッドのパターンに特徴を有するものである。

【0114】図12（a）は、第7の実施の形態にかかるMMICチップの高周波特性測定部であるI/Oパッドの一部を示した平面図である。また、図12（b）は、図中切断線C-C'における断面図である。ここでは、伝送線路として、コプレーナ線路を採用するMMICチップを例に挙げた。

【0115】図12（b）に示すように、コプレーナ線路構造とは、GaAs基板410上に直接信号線430とGND線420の両方を形成する構造をいう。信号線430の両側に一定の間隙をおいて、GND線420が形成される。マイクロストリップ線路構造に比較し、誘電体層の存在が不要なため、構成がより簡易であり、プロセス上の負担が少ない。よって、最近薄膜マイクロストリップ線路とともに、その使用が検討されている線路構造のひとつである。

【0116】図12（a）に示すように、GaAs基板410の表面端部には、信号線用パッド430aと、その両脇にGND線用パッド420a、420bが形成されている。これらのパッドはそれぞれコプレーナ線路を構成する信号線430とGND線420から引きだされた測定用パッドである。図中左側がMMIC回路形成部に相当する。各パッドの幅は従来と同様に約50μm〜70μmである。

【0117】特徴的なことは、信号線用パッド430aの平面パターンにおいて、先端部両側にテーパを形成し、パッド先端部に設けた左右のテーパに挟まれたパッド先端部をプローブヘッド接触領域440aとしていることである。

【0118】プローブヘッド接触領域440aは、信号線パッド430aの左右に設けたテーパにより、その位置を肉眼でも容易に特定することが可能となる。この結果、第6の実施の形態におけるMMICチップと同様に、測定パッドに接触させるネットワークアナライザのプローブヘッドの接触点の位置を特定できるため、測定毎の測定位置ずれは回避することが可能となり、高周波

測定における測定精度の確保ならびに測定の再現性の向上が期待できる。

【0119】なお、第7の実施の形態にかかるパッド形状では、第6の実施の形態の場合よりボンディング領域を多く確保できる利点もある。

【0120】なお、図12（a）に示すように、コプレーナ線路構造の場合は、信号線がある程度長いと、信号線の両側のGND線に電位差を生じやすいため、パッドのすぐ近くに、両GND線間を接続するための電氣的なブリッジ460を形成して電位差の発生を解消している。ブリッジ460の下には、信号線430との電氣的ショートを防ぐため、BCB、ポリイミドなどの誘電体層465が形成される。なお、ブリッジ460をボンディングワイヤで形成することもできる。この場合の絶縁体は空気となる。

【0121】なお、第7の実施の形態にかかるパッド形状は、コプレーナ線路構造のMMICチップのみならず、第6の実施の形態で説明したようなマイクロストリップ線路構造や逆マイクロストリップ線路構造を採用するMMICチップにおいても有効である。

【0122】（第8の実施の形態）本発明の第8の実施の形態について、図13（a）、図13（b）を参照して説明する。第8の実施の形態におけるMMICチップも、第6の実施の形態同様、主に回路形成領域の周囲に設けられるI/Oパッドのパターンに特徴を有するものである。

【0123】図13（a）は、第8の実施の形態にかかるMMICチップの高周波特性測定部であるI/Oパッドの一部を示した平面図である。また、図13（b）は、図13（a）中の切断線D-D'における断面図である。図13（b）に示すように、ここでは、伝送線路として、逆マイクロストリップ線路を採用するMMICチップを例に挙げた。逆マイクロストリップ線路構造では、信号線430とGND線の位置が誘電体層450を挟んで上下で逆となる。

【0124】第8の実施の形態にかかる特徴は、信号線用パッド430aの先端部に隣接し、その左右両側のパッドと接触しない程度の位置に、プローブヘッド接触領域440aを特定するための目印となるL字型やT字型等のガイドパターン470a、470bを形成していることである。パターンを形成する材料は、金属薄膜、抵抗体、絶縁体いずれかの材料でもよい。ここでは、信号線用のパッド440aとGND線用のパッド420a、420bとして同一形状を用い形状自体では信号線とGND線の区別をつけていないが、例えばガイドパターンの形状、長さおよび太さ等を左右で変えることにより、ボンディングミスの防止は可能である。

【0125】この結果、第6の実施の形態におけるMMICチップと同様に、測定パッドに接触させるネットワークアナライザのプローブヘッド接触領域440aの位

置を特定できるため、測定毎の測定位置ずれを回避することが可能となり、高周波測定における測定精度の確保ならびに測定の再現性の向上が期待できる。

【0126】なお、目印になるガイドパターンは、T字型、L字型のどちらも効果があるが、金属パターンでT字型を形成した場合、ボンディングワイヤによる信号線とGND線との電氣的ショートを防ぐ意味では、L字型の方が有利である。勿論、それ以外のパターンでもかまわない。

【0127】第8の実施の形態にかかるパッド周囲の構成は、コプレーナ線路構造のMMICチップのみならず、第6の実施の形態で説明したようなマイクロストリップ線路構造や逆マイクロストリップ線路構造を採用するMMICチップにおいても有効である。

【0128】（第9の実施の形態）本発明の第9の実施の形態について、図14（a）～図15（b）を参照して説明する。図14（a）、図14（b）は、チップ周縁部の構成を概略的に示す平面図である。便宜上、チップ内側の回路形成部は図示を省略している。

【0129】ここでは、基板490の四辺それぞれに信号線用パッド430aとGND線用パッド420a、420bを形成した例を示している。また、このMMICチップにおいては、GNDの強化のため、回路形成部のみならず基板外周の端部に沿ってもGND線が設けられている。なお、図示は省略したが、信号線用パッド430aおよびGND線用パッド420a、420bのパターンは、第6～第8の実施の形態に示したいずれかのパターンが採用され、プローブヘッドをあてる領域の特定がしやすくなっているものとする。

【0130】図14（a）に示す平面構成において特徴的なことは、各GND線用のパッド420a、420bに隣接する位置のGND線に窪みパターン475が形成されている点である。また、図14（b）に示す平面構成では、窪みパターン475の代わりにスリット480が形成されている。

【0131】高周波特性の測定の際は、プローブヘッドをまずパッドの先端部に接触させ、さらにこのプローブをパッド中央の測定位置まで滑らすように移動させる。ここで、最初にプローブヘッドをあてるプローブヘッド接触領域については、第6～第8の実施の形態において説明したように、パッドの先端に突起部を設けたり、ガイドパターンを設けることにより特定することができる。

【0132】本実施の形態では、さらにスリット480や窪みパターン475が設けられているため、スリット480の位置や、窪みパターン475の深さ位置を参照して、プローブヘッドを滑らせる距離、即ちパッド上の移動停止位置も特定することが可能となる。

【0133】即ち、上述した第6～第8の実施の形態におけるパターンを採用することで図14（a）、図14

（b）中におけるX方向のプローブヘッドの位置が特定され、さらに、窪みパターン475やスリット480を設けることにより、Y方向のプローブヘッドの位置が特定できることとなる。よって、さらに、測定の測定精度や再現性を向上させることができる。なお、ここに示したパターン以外にも、Y方向のプローブヘッドの位置が特定できるパターンであればどのようなパターンを採用してもよい。

【0134】なお、パッドパターンは、信号線用パッド430a、GND線用パッド420a、420bのいずれの場合も角部を削りとしたパターンにすることが好ましい。

【0135】図15（a）、15（b）は、MMICチップ上のI/Oパッドとこれを実装するパッケージ上の電極パッドとをボンディングワイヤで接続した状態を示す概略平面図である。図15（a）は、MMICチップがパッケージの所定の位置に精度良く搭載された場合、図15（b）は、パッケージ上のMMICチップの固定位置が所定の位置からずれてしまった場合を示す。

【0136】MMICチップが所定位置に精度良く搭載された場合は、MMICチップ上の各パッドとパッケージ上の電極パッドはボンディングワイヤで良好に接続されるが、MMICチップの固定位置がずれた場合は、ワイヤのたわみなどでワイヤと隣接パッドとが電氣的にショートしてしまう危険性がある。特に、ここではMMICチップやパッケージ上の電極パッドのピッチに余裕がある為顕著ではないが、さらに小型化することを考えた場合には、ワイヤのたわみなどで隣接パッドとショートしてしまう危険性がある。このような場合、パッドパターンが角を取った形状となっていれば、ショートは起こりにくい。また、一般に膜の剥離はパターンの角部から発生するため、角を丸めると膜がはがれにくく効果を有する。

【0137】以上、各実施の形態に沿って本発明について説明したが、本発明はこれに限られるものではない。

【0138】

【発明の効果】以上説明したように、分布定数回路と他の集中定数回路等を三次元的に形成したマイクロ波集積回路素子によれば、チップ面積の縮小化を図ることができる。また、微細加工が必要となる集中定数回路等を半導体基板表面に形成し、比較的微細加工の必要性が少ない分布定数回路を誘電体層層を介して上層に形成し、さらに分布定数回路を構成する誘電体層層を樹脂材料で形成すれば、簡易なプロセスでマイクロ波集積回路を形成することが可能である。

【0139】また、I/Oパッドを薄膜回路形成領域の一部重複するように形成すれば、チップ面積をより縮小化することができる。

【0140】このように、本発明のマイクロ波集積回路素子によれば、チップの小型化、プロセスの簡易化等が

可能であり、より安価な製品を提供できる。

【0141】また、I/Oパッドのパターンに突起部もしくはパターン近傍にガイドパターンを備えることにより、MMICチップの特性測定の際の測定装置を特定することができ、測定精度を向上させ、チップの信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるMMICチップの断面図である。

【図2】本発明の第1の実施の形態におけるMMICチップの製造工程を説明するための各工程におけるチップの断面図である。

【図3】本発明の第1の実施の形態におけるMMICチップの製造工程を説明するための各工程におけるチップの断面図である。

【図4】本発明の第2の実施の形態におけるMMICチップの断面図である。

【図5】本発明の第3の実施の形態におけるMMICチップの斜視図である。

【図6】本発明の第4の実施の形態におけるMMICチップの斜視図である。

【図7】本発明の第5の実施の形態におけるMMICチップ端部の平面図、断面図および等価回路図である。

【図8】本発明の第5の実施の形態におけるMMICチップの別の構成例を示すMMICチップの断面図である。

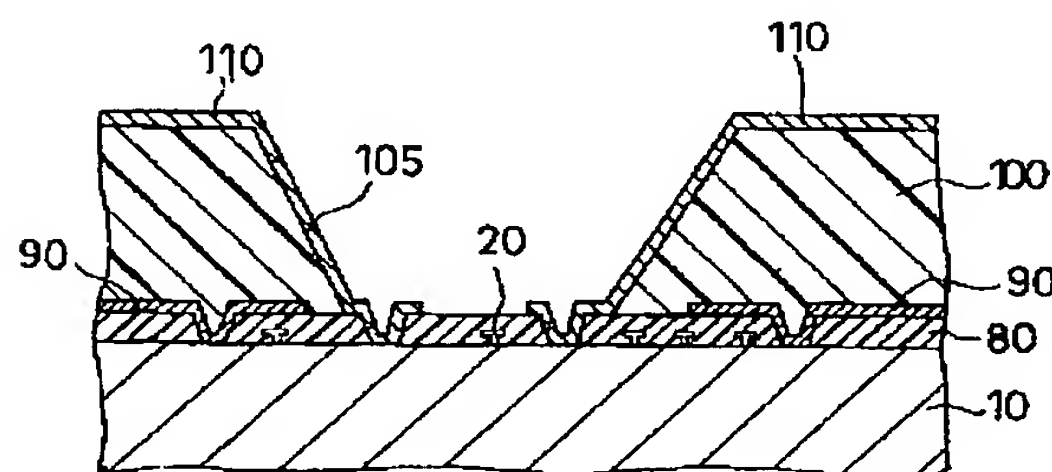
【図9】本発明の第1～第5の実施の形態におけるMMICチップ上に形成される薄膜回路の一例を示す等価回路図である。

【図10】本発明の第6の実施の形態におけるMMICチップ端部の平面図および断面図である。

【図11】本発明の第6の実施の形態におけるMMICチップ端部の平面図である。

【図12】本発明の第7の実施の形態におけるMMICチップ端部の平面図および断面図である。

【図1】



【図13】本発明の第8の実施の形態におけるMMICチップ端部の平面図および断面図である。

【図14】本発明の第9の実施の形態におけるMMICチップの概略平面図である。

【図15】本発明の第9の実施の形態におけるMMICチップとパッケージ間のボンディング状態を示す平面図である。

【図16】従来の薄膜型マイクロストリップ線路構造を有するMMICチップの断面図である。

【図17】従来の薄膜型マイクロストリップ線路構造を有するMMICチップの端部の平面図、断面図および等価回路図である。

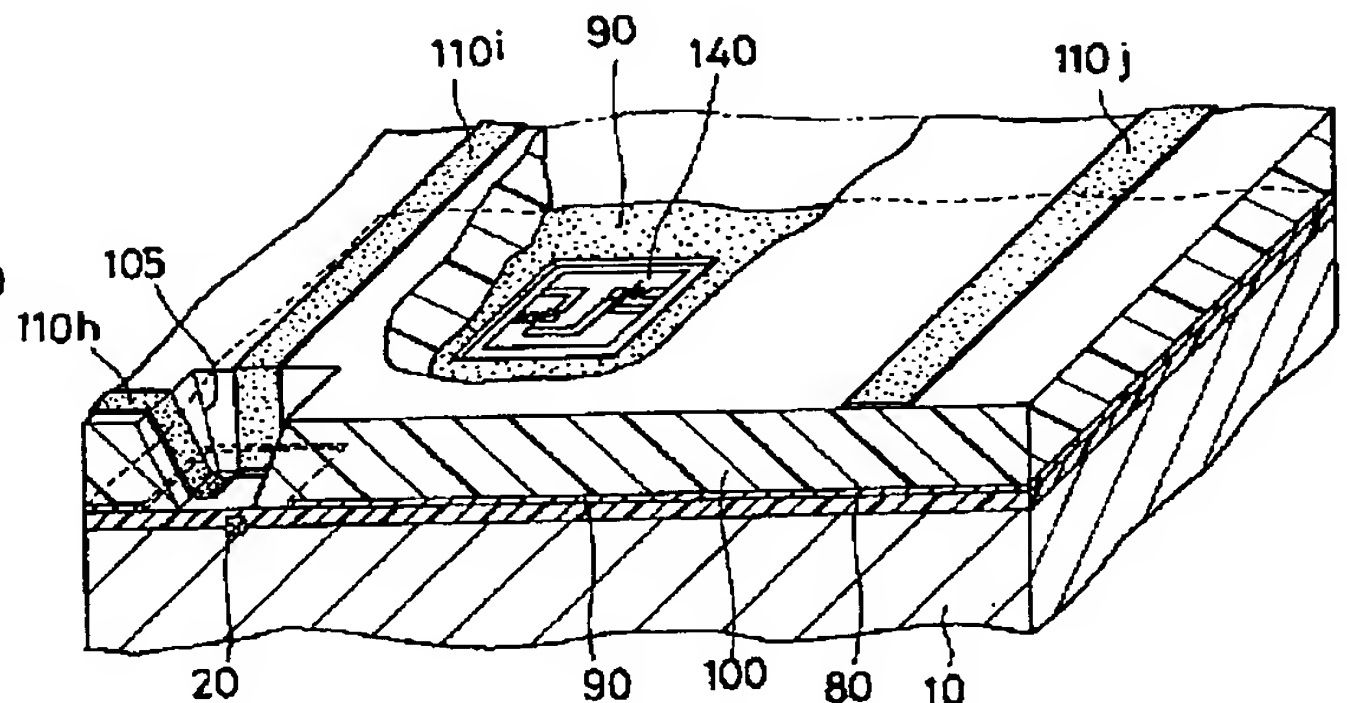
【図18】従来のMMICチップの特性測定時の状態を示すMMICチップ端部の平面図である。

【図19】ネットワークアナライザを用いた従来のMMICチップの周波数特性の測定結果例を示すグラフである。

【符号の説明】

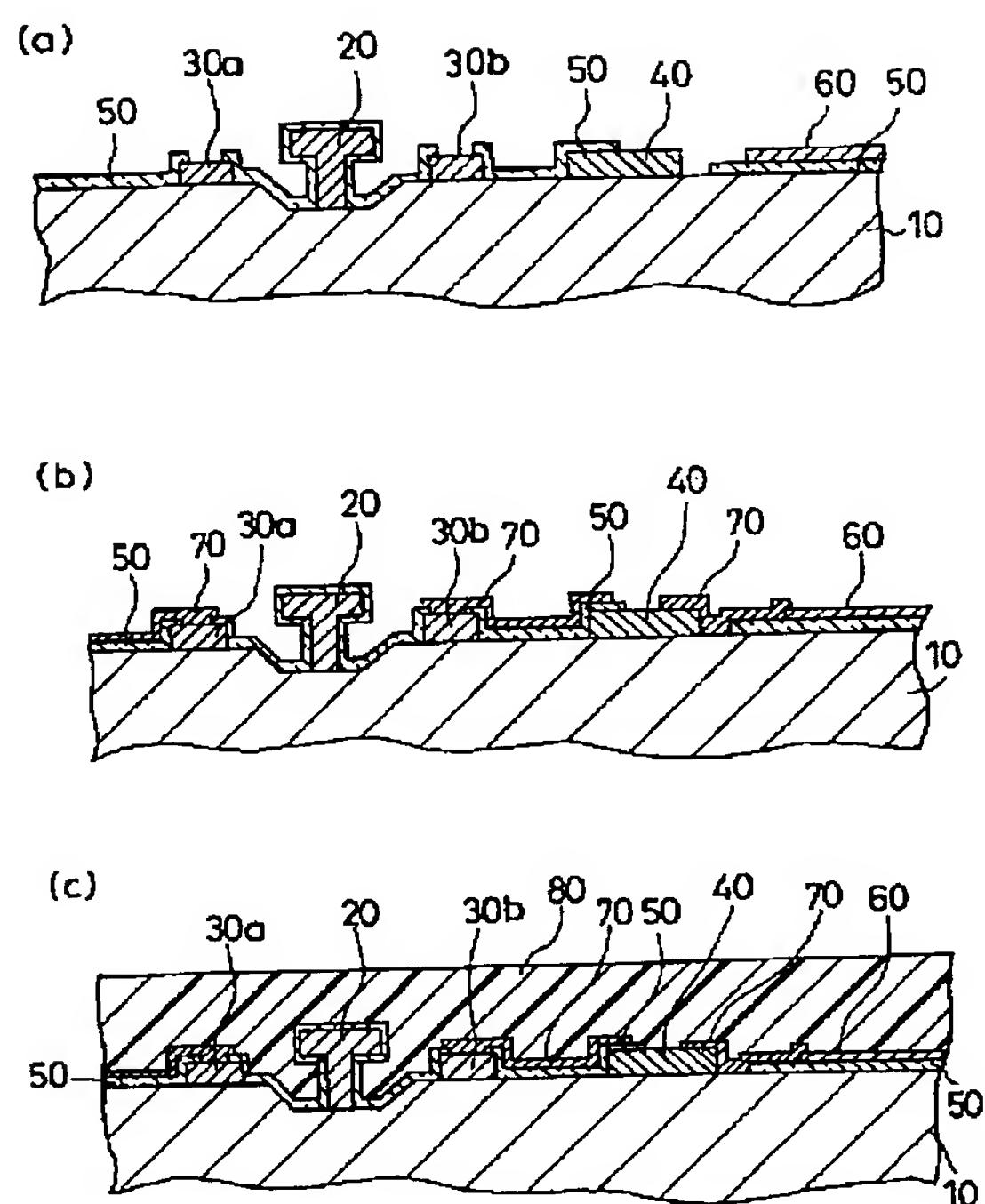
- 10、210・・・GaAs基板
- 20・・・T型ゲート
- 30a・・・ソース
- 30b・・・ドレイン
- 40・・・電極
- 50、230・・・シリコン窒化膜
- 60、250・・・薄膜抵抗
- 70・・・配線
- 80・・・絶縁体層
- 90、240、420・・・GND線
- 100、260、450・・・誘電体層
- 105、265・・・ビアホール
- 110、280、430・・・信号線
- 300、310・・・I/Oパッド
- 420a、420b・・・GND線用パッド
- 430a・・・信号線用パッド

【図6】

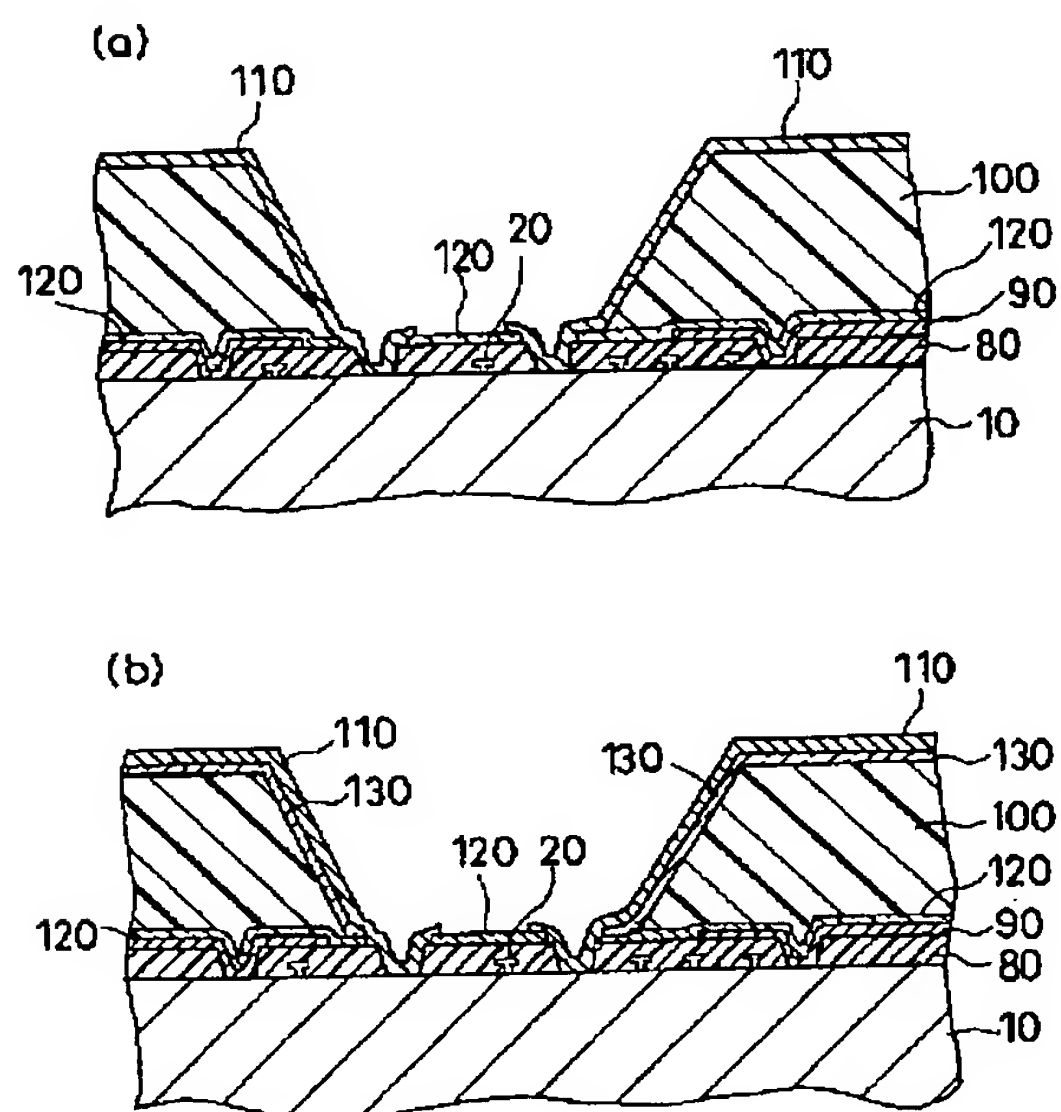




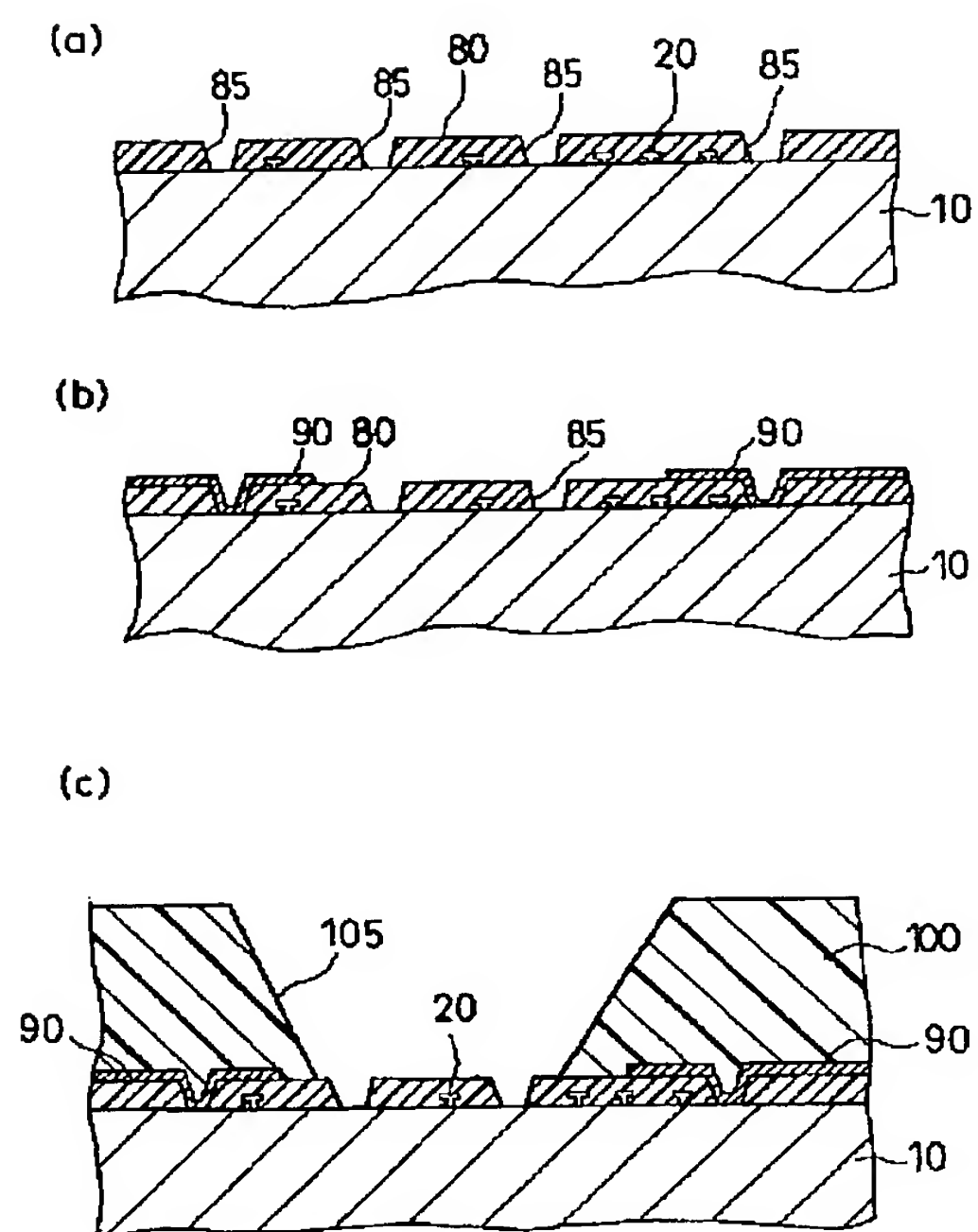
【図 2】



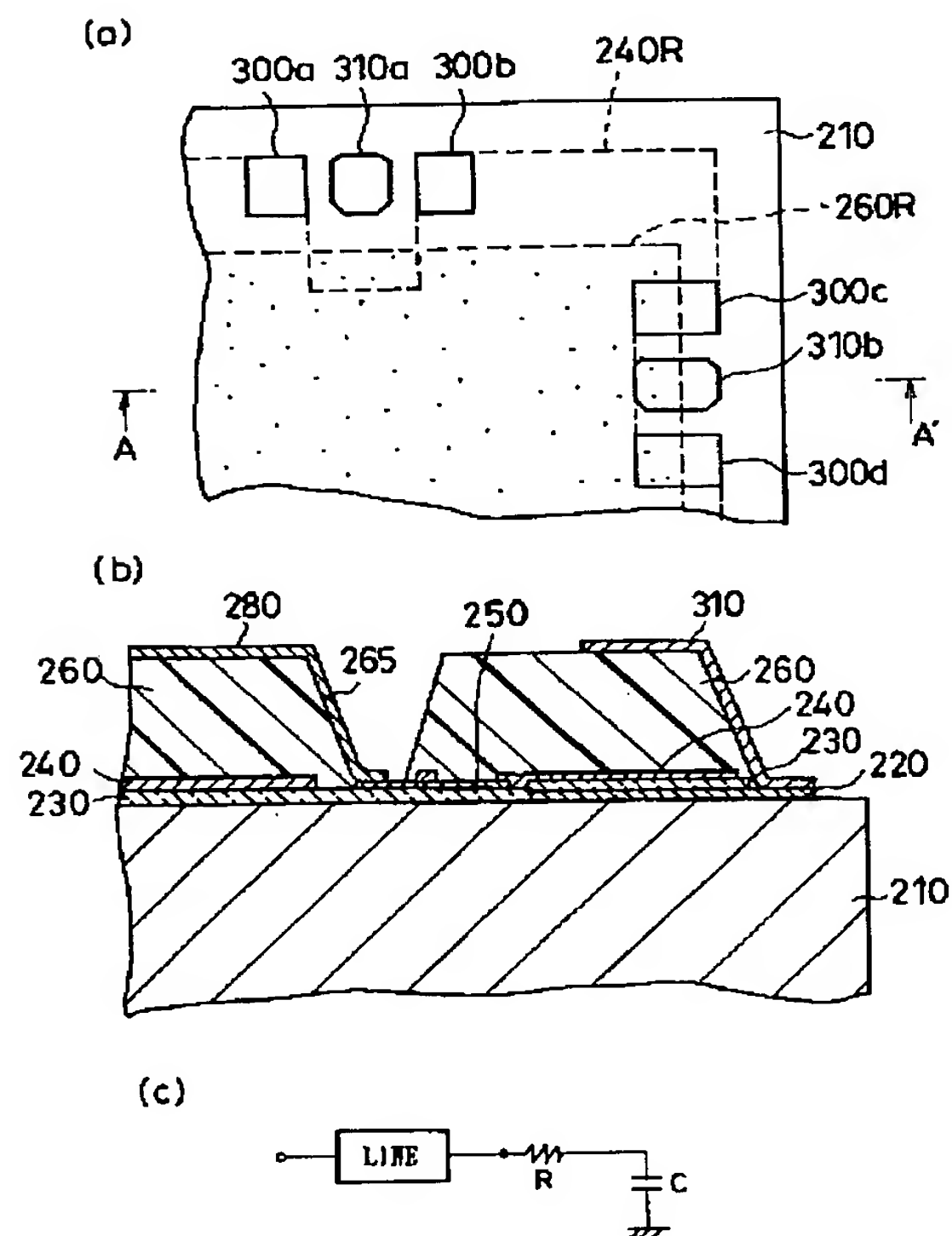
【図 4】



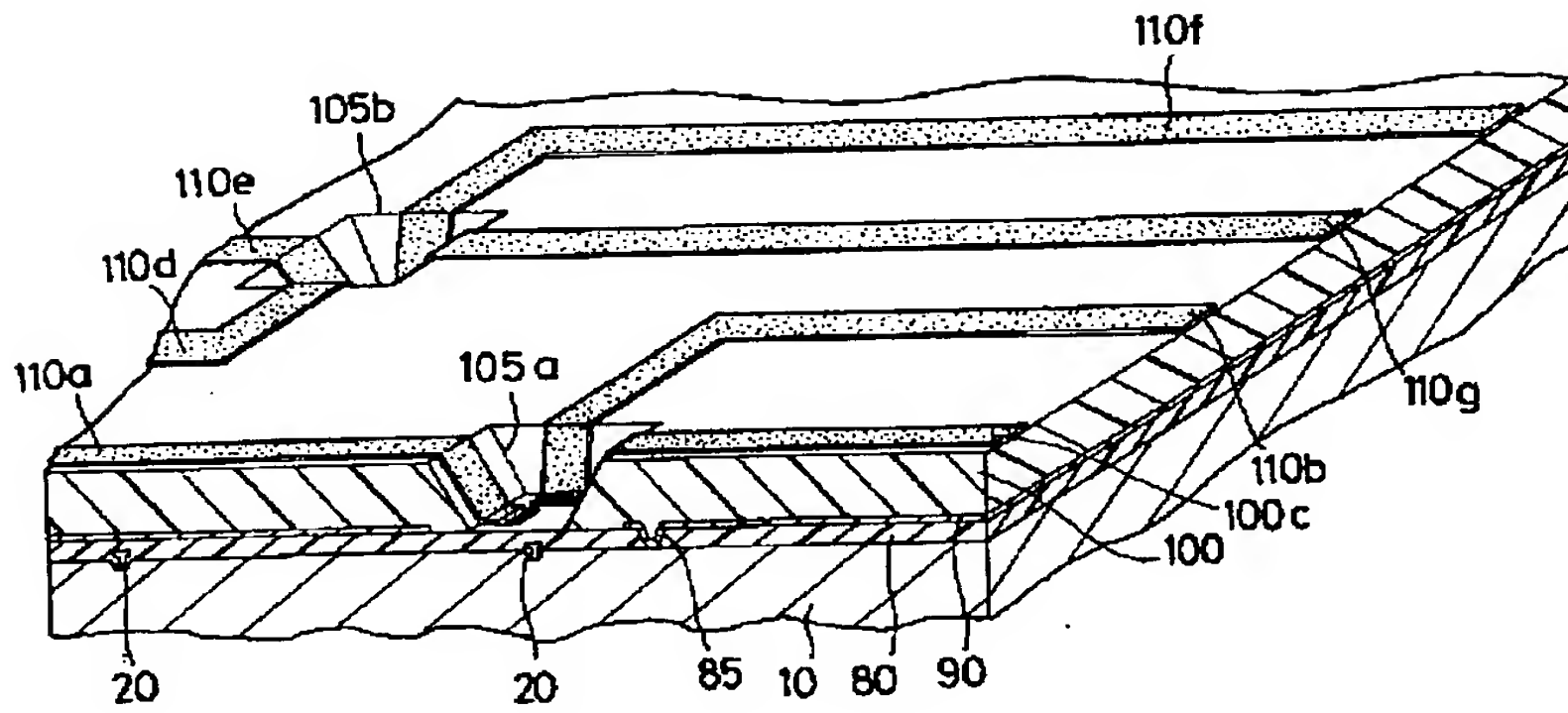
【図 3】



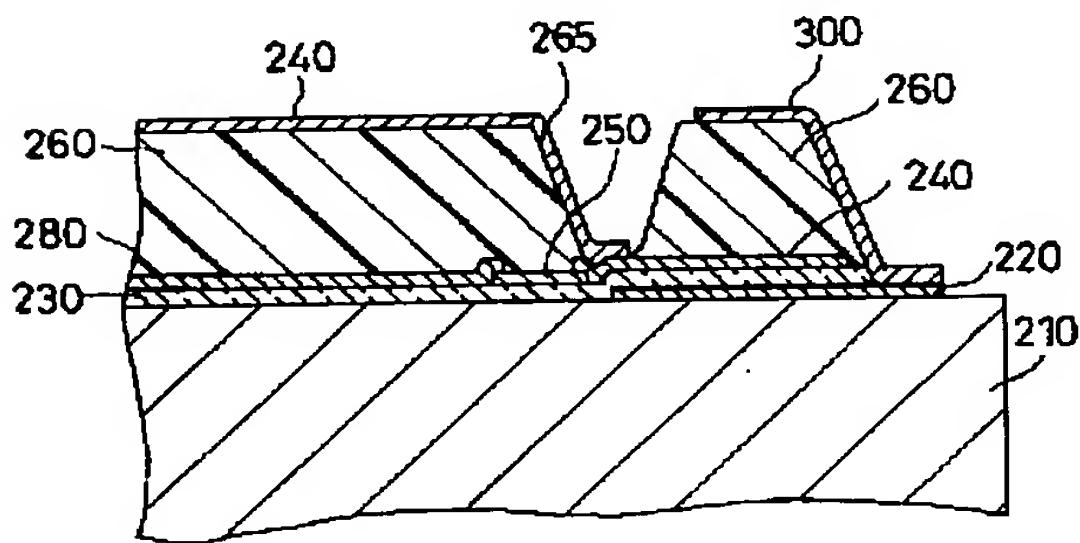
【図 7】



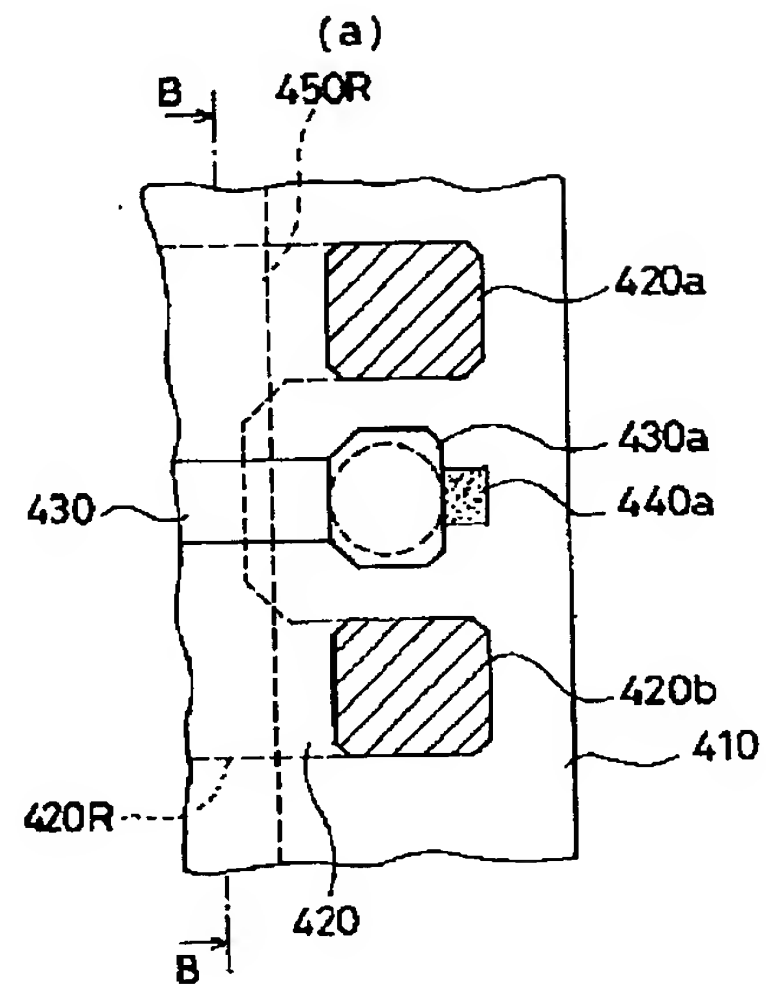
【図5】



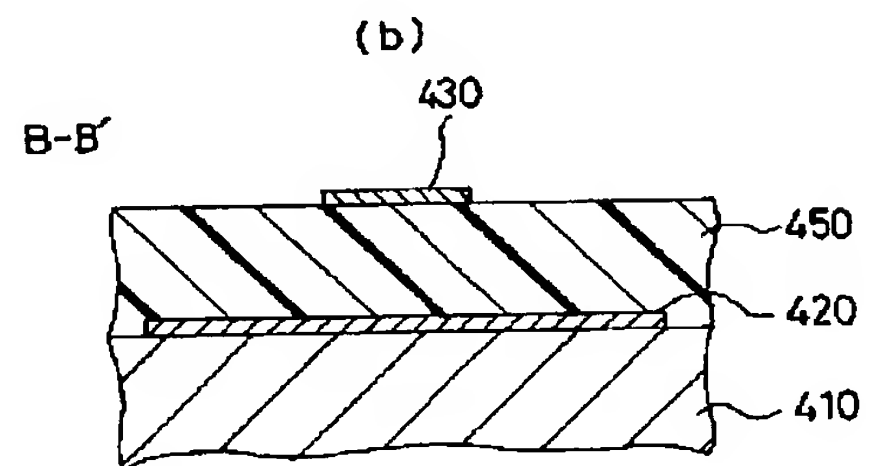
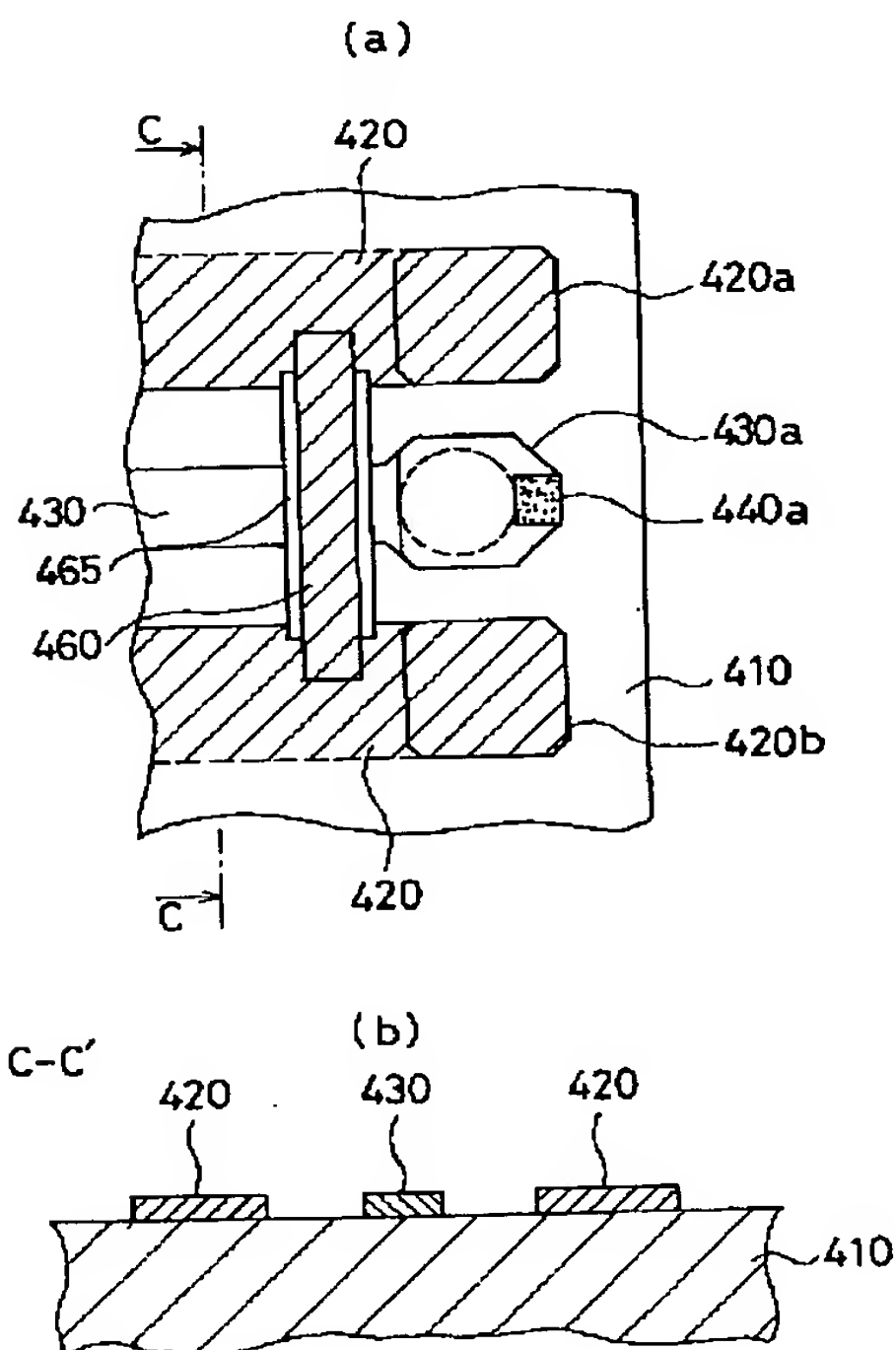
【図8】



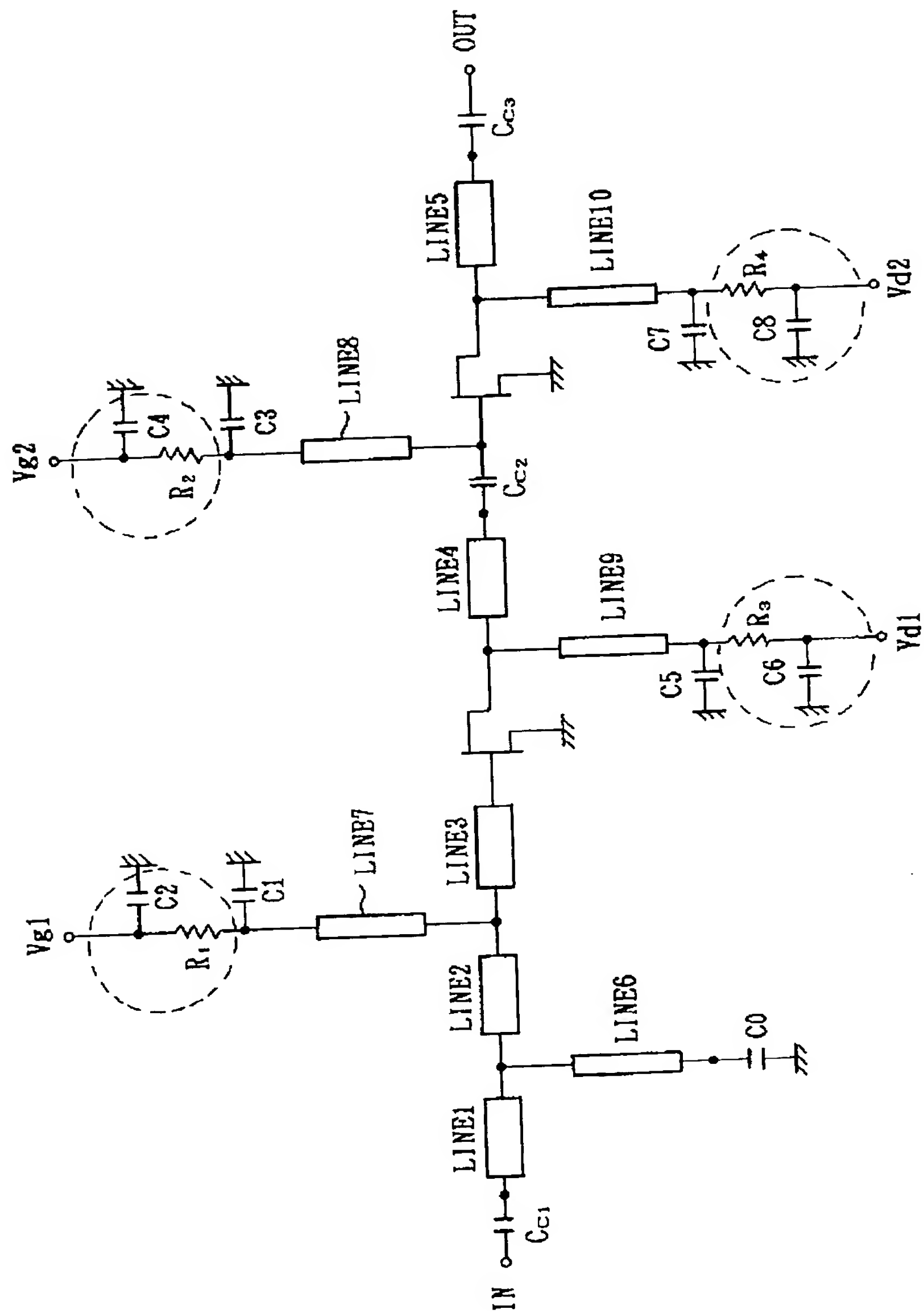
【図10】



【図12】

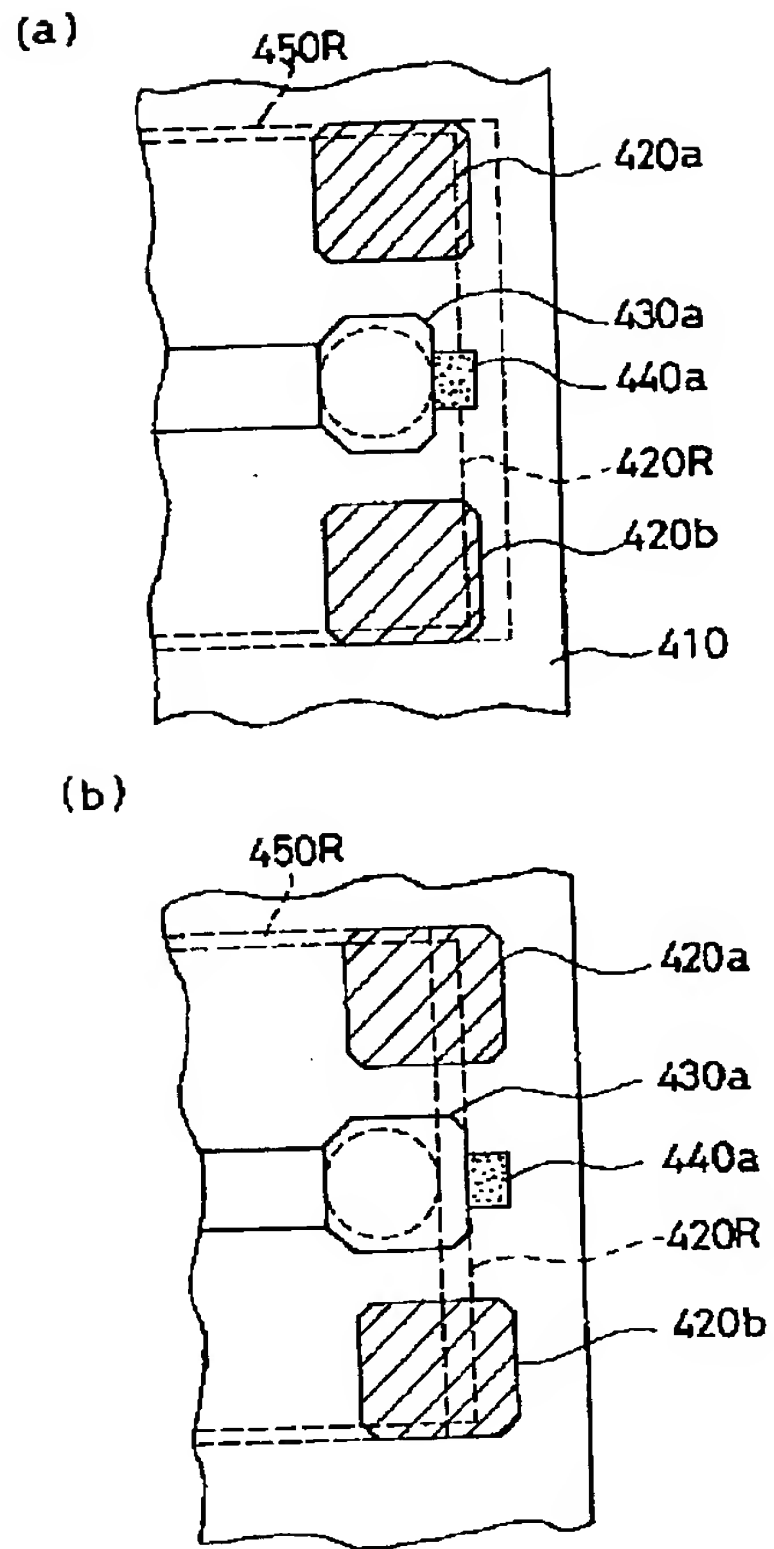


【図 9】

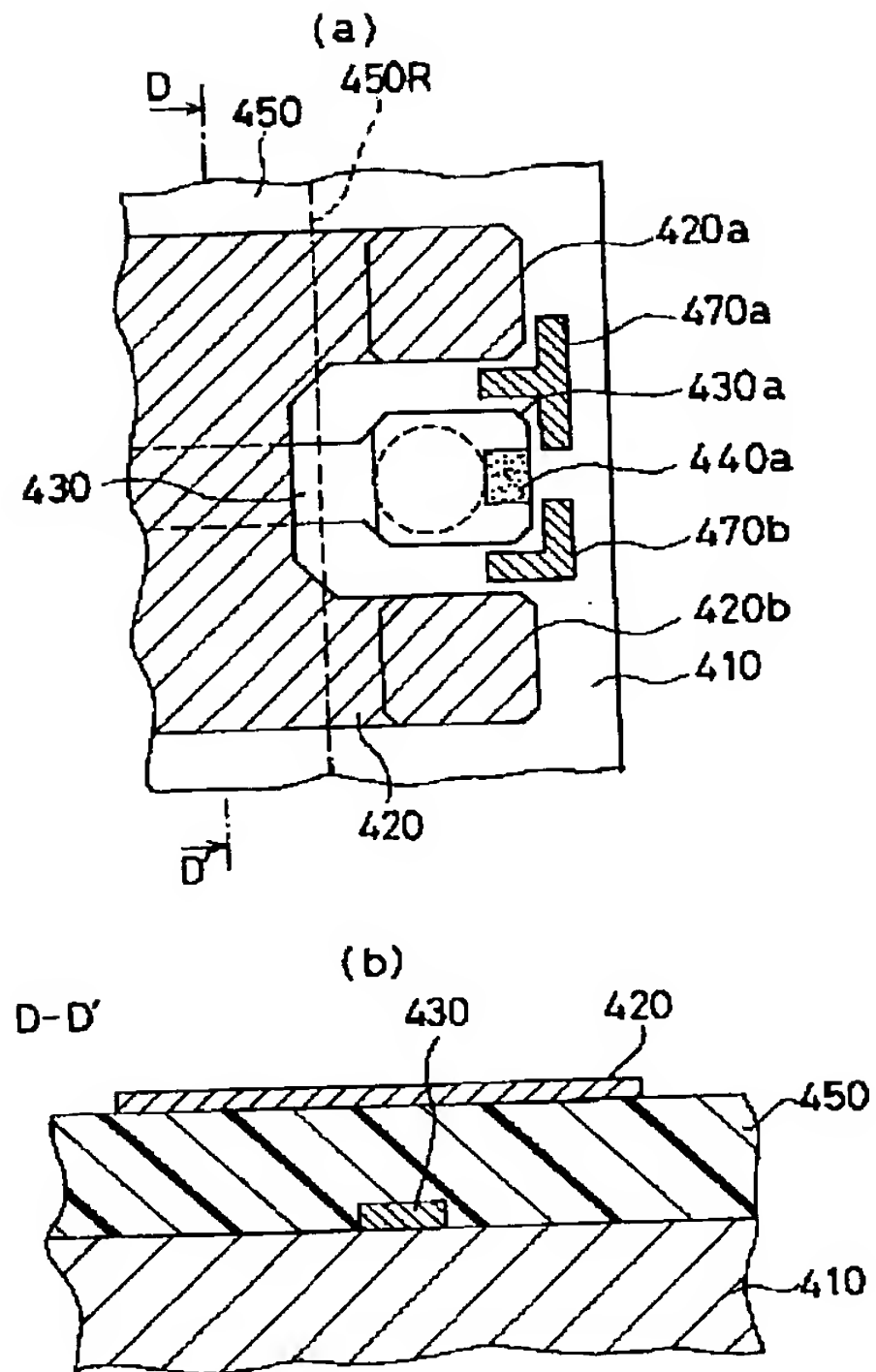




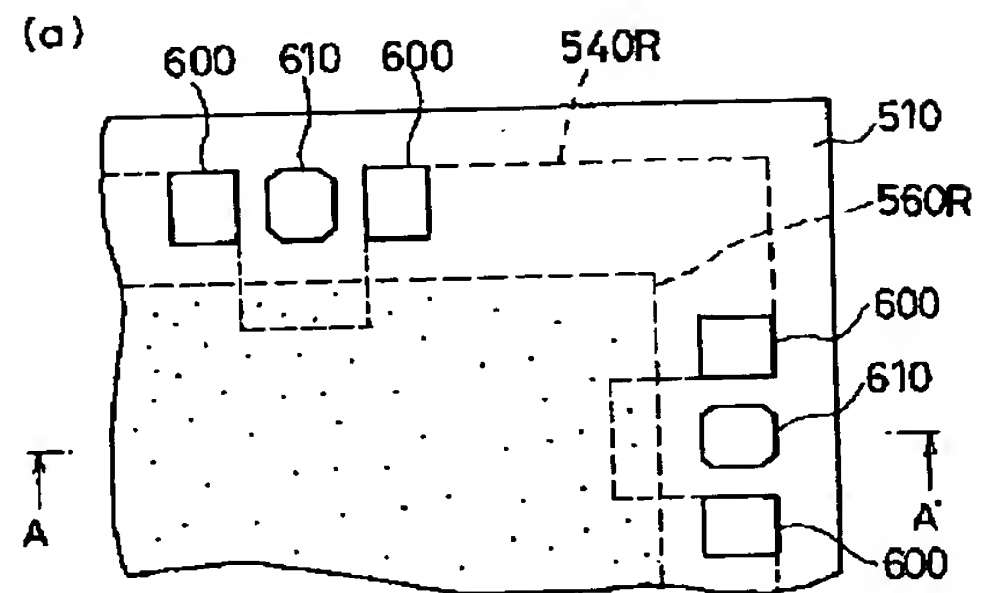
【図11】



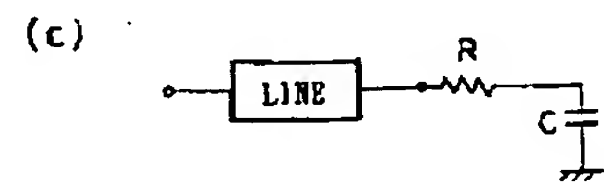
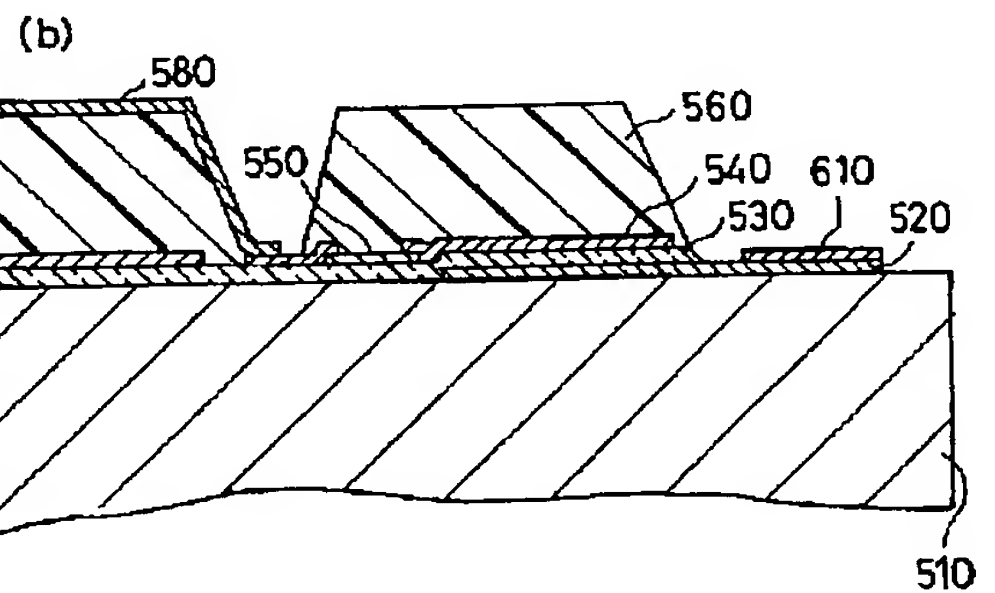
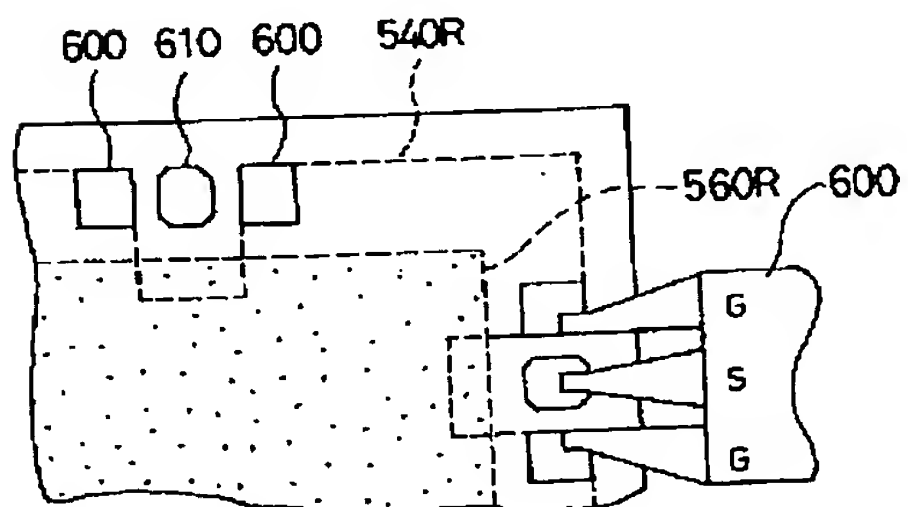
【図13】



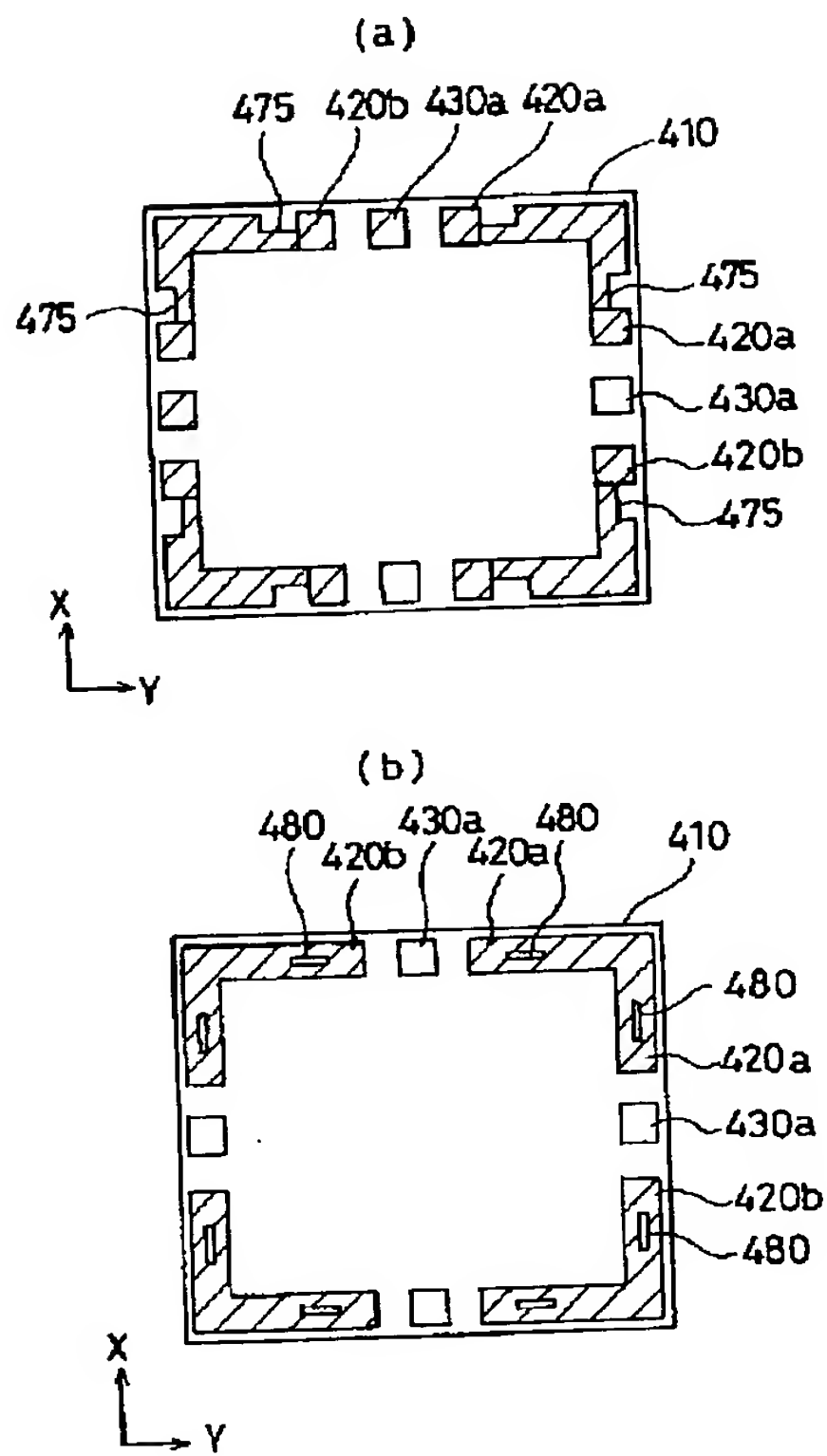
【図17】



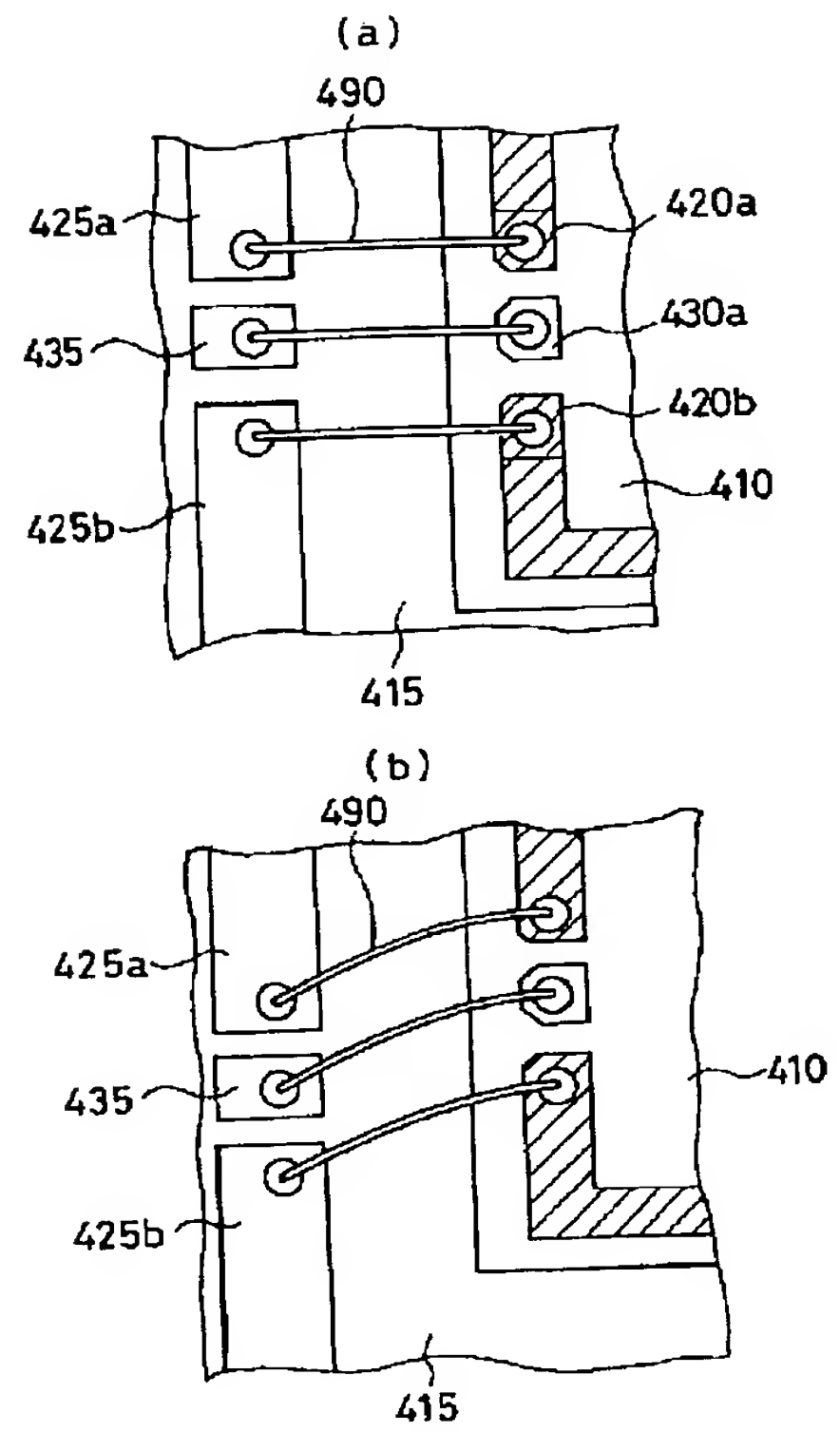
【図18】



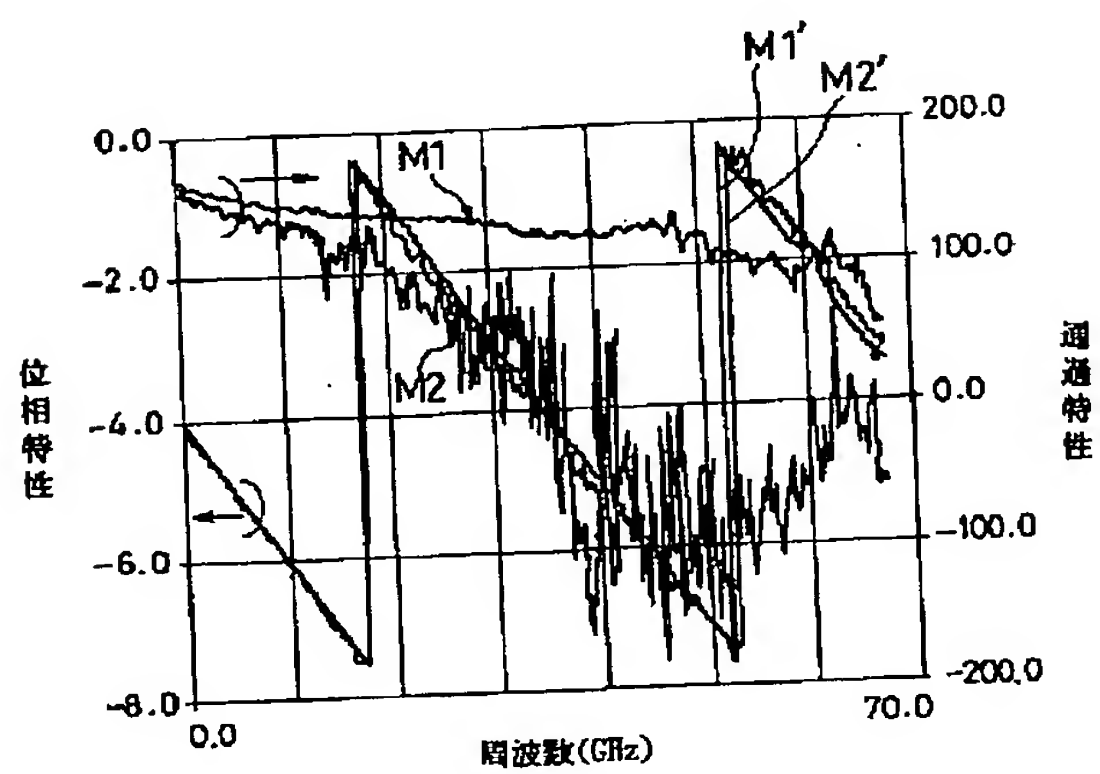
【図14】



【図15】



【図19】



フロントページの続き

(72)発明者 小野 直子  
 神奈川県川崎市幸区小向東芝町1 株式会  
 社東芝研究開発センター内